

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-171083

(43)Date of publication of application : 02.07.1996

(51)Int.Cl. G02F 1/133
G09G 3/36

(21)Application number : 07-181546

(71)Applicant : NIPPON SOKEN INC
NIPPONDENSO CO LTD

(22)Date of filing : 18.07.1995

(72)Inventor : SUZUKI HIROTAKE
YAMAMOTO NORIO
KOSHOBU NOBUAKI

(30)Priority

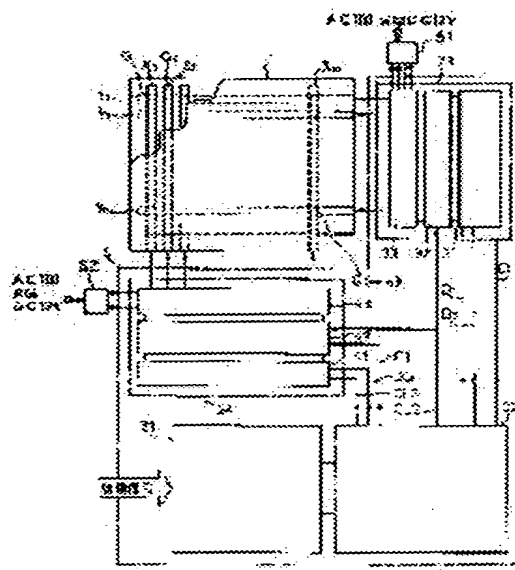
Priority number : 06255335 Priority date : 20.10.1994 Priority country : JP

(54) FLICKER REDUCING DEVICE FOR ANTIFERROELECTRIC LIQUID CRYSTAL ELEMENT

(57)Abstract:

PURPOSE: To prevent flickers in a display device using an antiferroelectric liquid crystal.

CONSTITUTION: This device is provided with a liquid crystal cell 1 having(n)row electrodes and(m)column electrodes, sealing an antiferroelectric liquid crystal in which one antiferroelectric state and two ferroelectric states are formed according to an applied voltage and forming (m × n) displaying pixels, matrix driving means (22, 23, 24), imparting a first driving signal switching a state between the ferroelectric states and ON displaying an arbitrary pixel on a row electrode and a second driving signal OFF displaying (holding the antiferroelectric state) the residual pixels on the same row electrode, and a means for imparting a DC signal, having a voltage complied with nearly a central voltage in a prescribed voltage range of one polarity proceeding to the first and the second driving signals, to the row electrode. An offset voltage, depending upon the difference of transmissivity based on the asymmetry of hysteresis, is superimposed on either a row electrode or a column electrode in at least one period of a first field or a second field.



LEGAL STATUS

[Date of request for examination] 18.12.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2980540

[Date of registration] 17.09.1999

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 6 0			
G 0 9 G 3/36				

審査請求 未請求 請求項の数 6 O L (全 31 頁)

(21)出願番号 特願平7-181546

(22)出願日 平成7年(1995)7月18日

(31)優先権主張番号 特願平6-255335

(32)優先日 平6(1994)10月20日

(33)優先権主張国 日本 (J P)

(71)出願人 000004695

株式会社日本自動車部品総合研究所
愛知県西尾市下羽角町岩谷14番地

(71)出願人 000004260

日本電装株式会社
愛知県刈谷市昭和町1丁目1番地

(72)発明者 鈴木 浩高

愛知県西尾市下羽角町岩谷14番地 株式会
社日本自動車部品総合研究所内

(72)発明者 山本 典生

愛知県西尾市下羽角町岩谷14番地 株式会
社日本自動車部品総合研究所内

(74)代理人 弁理士 石田 敬 (外3名)

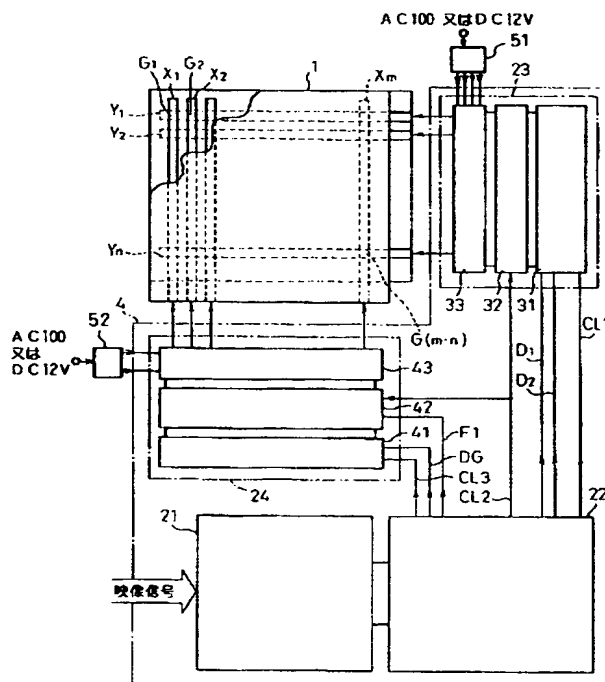
最終頁に続く

(54)【発明の名称】 反強誘電性液晶素子のフリッカ低減装置

(57)【要約】

【課題】 反強誘電性液晶を用いた表示装置におけるフリッカを防止する。

【解決手段】 n 条の行電極と m 条の列電極とを有し、印加電圧に応じて一つの反強誘電状態と2つの強誘電状態とが形成される反強誘電性液晶13を封入し $m n$ 個の表示画素を形成した液晶セル1と、液晶13の強誘電状態間をスイッチングして一つの行電極上の任意の画素をON表示する第1駆動信号と同一行電極の残余の画素をOFF表示する(反強誘電状態に保つ)第2駆動信号を付与するマトリクス駆動手段(22、23、24)と、第1と第2の駆動信号に後続して一の極性における所定の電圧範囲の略中央に相当する電圧を有する直流信号を行電極に付与する手段とを備え、ヒステリシス非対称に基づく透過率の差に依存したオフセット電圧を行電極又は列電極のいずれかに、第1フィールド又は第2フィールドの少なくとも一方の期間に、重畳する。



【特許請求の範囲】

【請求項1】 n条の行電極とm条の列電極とを互いに格子条に対向させるように並設した両電極基板間に、電圧印加に対して少なくとも一つの反強誘電状態と2つの強誘電状態とが相互に安定して形成される反強誘電性液晶を封入してmn個の表示画素を形成した液晶セルと前記n条の行電極とm条の列電極との間に、前記mn個の表示画素のうち選択された少なくとも一つの行電極上の任意の画素のON表示する第1の駆動信号と前記選択された行電極上の残余の画素をOFF表示する第2の駆動信号を付与する様に、前記各行電極を一画面表示時間の $1/n$ 以下の時間毎に選択走査するマトリックス駆動手段を備えたマトリックス型液晶表示装置において、前記反強誘電性液晶として印加電圧により該反強誘電状態と、電場の向きによって制御できる2つの強誘電状態間を相互にスイッチングさせることができ、且つ印加電圧の所定の電圧内における増大又は減少に応じて前記反強誘電性液晶の光透過率が少なくともマトリックス駆動に十分なヒステリシスを有する反強誘電性液晶を採用し、前記駆動手段が第1駆動信号として2つの強誘電状態間をスイッチングする交流的に変化する双極性パルスとして形成され、又前記第2駆動信号として反強誘電状態から強誘電状態へのスイッチングが行われな範囲の電圧で交流的に変化する双極性パルスとして形成され、且つ該第1と第2の駆動信号に後続して一の極性における所定の電圧範囲の略中央に相当する電圧を有する直流信号を前記n条の行電極に付与する様にして一画面表示を完成させ、その後、或いは前記の操作を複数回繰り返した後、前記駆動手段が前記第1及び第2駆動信号及びこれらに後続する直流信号の電圧極性を全て逆極性とした電圧を、前記と同様の操作により該n条の行電極とm条の列電極との間に印加し、さらに、正極性電圧範囲のヒステリシスを利用して駆動する第1フィールドと負極性電圧範囲ヒステリシスを利用して駆動する第2フィールド間のヒステリシス非対称に基づく透過率の差に依存したオフセット電圧を前記行電極に、第1フィールド又は第2フィールドの少なくとも一方の期間に、重畳することを特徴とするマトリックス型液晶表示装置。

【請求項2】 前記列電極に、前記行電極に代わり、第1フィールド又は第2フィールドの少なくとも一方の期間に、前記オフセット電圧を重畳することを特徴とする、請求項1に記載のマトリックス型液晶表示装置。

【請求項3】 前記オフセット電圧をヒステリシスカーブの非対称分とすることを特徴とする、請求項1に記載のマトリックス型液晶表示装置。

【請求項4】 前記オフセット電圧を、非対称なヒステリシス特性の経時変化分とすることを特徴とする、請求項1に記載のマトリックス型液晶表示装置。

【請求項5】 前記オフセット電圧を、ヒステリシスカーブの非対称分と非対称なヒステリシス特性の経時変化分の合計とすることを特徴とする、請求項1に記載のマトリックス型液晶表示装置。

【請求項6】 前記オフセット電圧を一定の範囲に限定することを特徴とする、請求項1に記載のマトリックス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、mn個の表示画素を形成する反強誘電性液晶(AFLCD)の液晶セルと走査駆動手段を備えたマトリックス型液晶表示装置に関するもので、特に本発明は反強誘電性液晶透過率のヒステリシス特性の非対称に伴うフリッカを防止できるマトリックス型液晶表示装置に関する。

【0002】

【従来の技術】反強誘電性液晶で生じる電場誘起相転移を利用した液晶表示装置は、特開平2-153322号公報の中に詳しく記載されている。それによると、この種の液晶で観察される電場誘起相転移は、例えばクロスニコル間で観察すると、電気光学特性として(1)電圧-透過率の二重ヒステリシス特性、(2)直流閾値及び(3)高速応答性を示し、これらの特性を有効に利用すれば従来のネマチック液晶や特開昭56-107216号公報に記載の強誘電性液晶を利用した液晶表示装置に比べて高品質の液晶表示装置が実現できると述べられている。また、反強誘電性液晶の特性を有効に利用したマトリックス駆動の方法は、特開平2-230117号公報或いは特開平2-173734号公報に提案されている。そこで提案されている駆動法によれば反強誘電性液晶の特性を十分に活かした高コントラスト表示を得ることができる。

【0003】さらに、スメクチック層の構造変化に伴う残像を防止し、しかも、表示画像を駆動するに必要な電圧レベルの数を削減する方法が特開平5-119746号公報に記載されている。そこでは、長時間同一の表示を行った場合にスメクチック層の構造変化に伴う残像が生じ、このため液晶分子を配向させるための配向制御膜として特定のものしか適用できないという制約を受けるのを回避するため、スメクチック層の構造変化に伴う残像が生じるのを防止している。また、液晶を交流駆動する原則に従って正極性の電圧範囲でのヒステリシスループと負極性の電圧範囲でのヒステリシスループを時間的に交互に利用して駆動することになるわけであるが、この場合一つの表示画素を駆動するためには走査電極に少なくとも5種類以上の電圧を、信号電極には少なくとも3つ以上の電圧を適時選択して入力しなければならない。このことは、液晶表示装置を駆動する駆動ICの集積度を上げることができず、最終的には液晶表示装置のコストアップを招くこととなる。このコストアップを回避するため、表示画素を駆動するに必要な電圧レベルの数を低減している。

【0004】

【発明が解決しようとする課題】しかしながら、上記マトリックス型表示装置の反強誘電性液晶では、残像が防止でき、電圧レベル数の低減になったが、透過率のヒステリシス非対称に起因してフレームを構成する第1フィールド及び第2フィールド間の透過率の差が大きくなりフリッカが発生するという問題が生じる。

【0005】したがって、本発明は、上記問題点に鑑み、この透過率にヒステリシス非対称の影響があっても、フリッカが発生を防止できるマトリックス型液晶表示装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、前記問題点を解決するために、以下に記載されるような技術構成を採用するものである。即ち、 n 条の行電極と m 条の列電極とを互いに格子条に対向させるように並設した両電極基板間に、電圧印加に対して少なくとも一つの反強誘電状態と2つの強誘電状態とが相互に安定して形成される反強誘電性液晶を封入して mn 個の表示画素を形成した液晶セルと前記 n 条の行電極と m 条の列電極との間に、前記 mn 個の表示画素のうち選択された少なくとも一つの行電極上の任意の画素のON表示する第1の駆動信号と前記選択された行電極上の残余の画素をOFF表示する第2の駆動信号を付与する様に、前記各行電極を一画面表示時間の $1/n$ 以下の時間毎に選択走査するマトリックス駆動手段を備えたマトリックス型液晶表示装置において、前記反強誘電性液晶として印加電圧により該反強誘電状態と、電場の向きによって制御できる2つの強誘電状態間を相互にスイッチングさせることができ、且つ印加電圧の所定の電圧内における増大又は減少に応じて前記反強誘電性液晶の光透過率が少なくともマトリックス駆動に十分なヒステリシスを有する反強誘電性液晶を採用し、前記駆動手段が第1駆動信号として2つの強誘電状態間をスイッチングする交流的に変化する双極性パルスとして形成され、又前記第2駆動信号として反強誘電状態から強誘電状態へのスイッチングが行われない範囲の電圧で交流的に変化する双極性パルスとして形成され、且つ該第1と第2の駆動信号に後続して一の極性における所定の電圧範囲の略中央に相当する電圧を有する直流信号を前記 n 条の行電極に付与する様にして一画面表示を完成させ、その後、或いは前記の操作を複数回繰り返した後、前記駆動手段が前記第1及び第2駆動信号及びこれらに後続する直流信号の電圧極性を全て逆極性とした電圧を、前記と同様の操作により該 n 条の行電極と m 条の列電極との間に印加し、さらに、正極性電圧範囲のヒステリシスを利用して駆動する第1フィールドと負極性電圧範囲ヒステリシスを利用して駆動する第2フィールド間のヒステリシス非対称に基づく透過率の差に依存したオフセット電圧を前記行電極に、第1フィールド

する様に構成されているマトリックス型液晶表示装置である。

【0007】また、前記列電極に、前記行電極に代わり、第1フィールド又は第2フィールドの少なくとも一方の期間に、前記オフセット電圧を重畳するようにしてもよい。前記オフセット電圧をヒステリシスカーブの非対称分としてもよい。前記オフセット電圧を、非対称なヒステリシス特性の経時変化分としてもよい。

【0008】前記オフセット電圧を、ヒステリシスカーブの非対称分と非対称なヒステリシス特性の経時変化分との合計としてもよい。前記オフセット電圧を一定の範囲に限定してもよい。以上述べたような構成を有する本発明のマトリックス型液晶表示装置においては、前記反強誘電性液晶が上述の様な光透過率-電圧特性をもつことを有効に利用して、前記第1及び第2駆動信号波形形状の電圧及びそれ等の駆動信号に後続する直流信号の電圧、極性を所定の状態となる様に定めたことにより、一極性所定電圧範囲におけるヒステリシスと逆極性所定電圧範囲におけるヒステリシスを時間的に交互に利用してマトリックス駆動する場合に前記第1及び第2駆動信号とそれに後続する直流信号の電圧極性のみを反転することによって各表示画素のON表示、OFF表示を実現している。この場合、 n 条の逆電極には4種の電圧を、 m 条の列電極には2種の電圧を適時選択して入力すればよいこととなる。また、前記第1駆動信号によって液晶は一方の強誘電状態からもう一方の強誘電状態に直接スイッチングするためにスクメッチ層構造の変化により残像を防止する。そして、オフセット電圧の重畳により第1フィールドと第2フィールド間の光学非対称の影響を無くし、フリッカを低減できる。

【0009】具体的には、前記オフセット電圧をヒステリシスカーブの非対称分とすることによりフリッカを低減できる。前記オフセット電圧を、非対称なヒステリシス特性の経時変化分とすることによりフリッカを低減できる。さらに、前記オフセット電圧を、ヒステリシスカーブの非対称分と非対称なヒステリシス特性の経時変化分との合計することによりフリッカを低減できる。

【0010】前記オフセット電圧を一定の範囲に限定することにより過渡のフリッカ補正を抑制できる。

【0011】

【発明の実施の形態】以下に、本発明に係るマトリックス型液晶表示装置の具体的な構成例と、その駆動方法について図面を参照しながら詳細に説明する。図1は本発明の実施例に係る液晶表示装置全体の構成を示す概略構成図であり、図2は本発明に用いられる液晶セル10の構成例を示す断面図である。図1に示すように、 n 条の行電極($Y1, Y2 \dots Yn$)と m 条の列電極($X1, X2 \dots Xm$)とを互いに格子条に対向させるように並設した両電極基板11、12間に(図2参照)、電圧印加に対して少なくとも一つの反強誘電状態と2つの強誘電

電状態とが相互に安定して形成される反強誘電性液晶13を封入して $m \times n$ 個の表示画素を形成した液晶セル10と前記 n 条の行電極と m 条の列電極とで液晶パネル1を形成し各電極間に、前記 $m \times n$ 個の表示画素のうち選択された少なくとも一つの行電極上の任意の画素のON表示する第1の駆動信号と前記選択された行電極上の残余の画素をOFF表示する第2の駆動信号を付与する様に、前記各行電極を一画面表示時間の $1/n$ 以下の時間毎に選択走査するマトリックス駆動手段(22、23、24)を備えたマトリックス型液晶表示装置において、前記反強誘電性液晶として印加電圧により該反強誘電状態と、電場の向きによって制御できる2つの強誘電状態間を相互にスイッチングさせることができ、且つ印加電圧の所定の電圧内における増大又は減少に応じて前記反強誘電性液晶の光透過率が少なくともマトリックス駆動に十分なヒステリシスを有する反強誘電性液晶13を採用し、前記駆動手段が第1駆動信号として2つの強誘電状態間をスイッチングする交流的に変化する双極性パルスとして形成され、又前記第2駆動信号として反強誘電状態から強誘電状態へのスイッチングが行われない範囲の電圧で交流的に変化する双極性パルスを発生する手段と、又前記第2駆動信号として反強誘電状態から強誘電状態へのスイッチングが行われない範囲の電圧で交流的に変化する双極性パルスを発生させる手段と、更には該第1と第2の駆動信号に後続して一の極性における所定の電圧範囲の略中央に相当する電圧を有する直流信号を前記 n 条の行電極に付与する様にして一画面表示を完成させる様にさせたものである。

【0012】その後、或いは前記各手段による信号発生操作を複数回繰り返した後、前記駆動手段が前記第1及び第2駆動信号及びこれらに後続する直流信号の電圧極性を全て逆極性とした電圧を発生させる手段を設けるものであって、それによって、前記と同様の操作により該 n 条の行電極と m 条の列電極との間に前回の操作における電圧の極性と異なる極性を有する電圧が印加される様に構成されている。

【0013】また、さらに、正極性電圧範囲のヒステリシスを利用して駆動する第1フィールドと負極性電圧範囲ヒステリシスを利用して駆動する第2フィールド間のヒステリシス非対称に基づく透過率の差に依存したオフセット電圧を前記行電極に又は前記列電極に、第1フィールド又は第2フィールドの一方の期間に、重畳するように構成されているマトリックス型液晶表示装置である。

【0014】係る本発明のマトリックス型表示装置をより具体的に説明する。図1に示すように、本図実施例の液晶表示装置は、反強誘電性液晶が封入された液晶パネル1と、外部から入力された映像信号に基づき液晶パネル1の m 条の列電極 $X1, X2, \dots, Xm$ 及び n 条の行電極 $Y1, Y2, \dots, Yn$ に電圧を印加する事により液晶

パネル1を駆動し、液晶パネル1に映像信号に応じた映像を表示させる制御装置4とから構成される。

【0015】ここで、液晶パネル1は、図2に示すように、2枚の電極基板11、12間に反強誘電性液晶13を封入したものであり、以下のように作成される。すなわち、電極基板11は、図2に示すように、透明なガラス板11aの内表面に沿ってITO (Indium Tin Oxide) 或いは酸化スズからなる導電膜11bを形成し、この導電膜11bに上下方向に互いに間隔を付与することにより、図1に示した n 条の行電極 $Y1, Y2, \dots, Yn$ が、左右方向に互いに平行に突設形成されている。また、電極基板12は、電極基板11と同様の加工が施され、図1に示した m 条の列電極 $X1, X2, \dots, Xm$ が、各行電極 $Y1, Y2, \dots, Yn$ に対して直行するように突設形成されている。なお、これら各行電極 $Y1, Y2, \dots, Yn$ 及び列電極 $X1, X2, \dots, Xm$ により、当該液晶パネル1には、図1に示すように、 $m \times n$ 個の表示画素 $G1, G2, \dots, G(m \times n)$ が形成される。

【0016】各導電膜11a、11bの内表面には、高分子膜16、17が付設されている。高分子膜16、17の表面の少なくとも一方の表面は、液晶分子13aが、上下基板に平行かつ法線Pに直角方向に並ぶようにラビング処理を行っている。なお、各導電膜11a、11bの内表面には、高分子膜16、17の代わりに、酸化珪素の斜法蒸着膜などの無機物の薄膜を付設してもよい。

【0017】次に液晶セル10内への反強誘電性液晶の封入に当たっては、まず、高分子膜16、17のラビング方位が両導電膜11b、12bに平行(すなわち法線Pに垂直)となるように電極基板11、12を平行に組み合わせる。然る後、反強誘電性液晶13例えば、4-(1-トリフルオロメチルヘプトキシカルボニルフェニル)-4'-オクチルオキシカルボニルフェニル-4-カルボキシレートを通熱して等方性液体として、毛細管現象を利用して両電極基板11、12間に注入し、その後、液晶セル10全体を毎分1℃程度にて徐冷し、反強誘電性液晶相(SmCA・相)になるまで冷却する。

【0018】このような冷却の結果、層構造をとる反強誘電性液晶13は、高分子膜16、17のラビング方向に沿って配向する。この状態は、直交ニコル下で観察すれば消光した安定な状態(第1安定状態)であるが、最近のChandani等の研究(Jpn. J. Appl. Phys. Vol. 28, (1989)p.1261)で、層と層の間に分極をキャンセルした反強誘電的構造になっていることが明らかにされた。

【0019】上記のように作製した液晶セル10には偏光板14及び15が、互いに偏光軸が直交するように、そして液晶に電場が印加されていない状態での消光位に一致するように貼付されている。以上の構成の液晶パネル1において、両電極基板11、12間に例えば電極基板11から12の向きに電場を印加すると液晶分子13

aはその永久双極子モーメントが電場方向にそろうため配列変化を生じ(すなわち、電場誘起の反強誘電相-強誘電相転移)消光位が角度 θ ずれることになる。この時、液晶の複屈折により消光状態(暗状態)から光の透過する明状態に変化する。上記と逆向きの電場を印加した場合も同様の原理で明状態となるが、消光位のずれる方向は前記とは逆向きの $-\theta$ である。ここで、液晶13に三角波電圧を加えた時の電圧-透過率特性を確認したところ、以下のように、十分なヒステリシス特性が得られた。

【0020】図3は本発明に使用される反強誘電性液晶の相対光透過率と印加電圧との関係を示す図である。本図の横軸は印加電圧を示し、縦軸は相対透過光強度をパーセント表示した相対透過率を示す。つまり、該相対透過率の閾値90%以上を明の状態、閾値10%以下を暗の状態と定義すると、まず該液晶セルが印加電圧0Vで暗にある状態から、印加電圧を正の方向に増加させると電界効果Eと該液晶の自発分極とに基づいて液晶の分子の配列が変化しはじめ、閾値電圧+V1で光の透過が開始され飽和電圧+V2を越えると完全な光透過率が100%となる。

【0021】つまり、閾値電圧を相対透過率が初期値から10%変化する電圧と定義し、また飽和電圧を相対透過率が初期値から90%変化する電圧と定義すると該閾値以下の電圧から該飽和電圧以上の電圧迄変化する間に該液晶セルは暗の状態から明の状態へスイッチングされることになる。また、逆に印加電圧を+V2以上の電圧から現象させる場合には、電圧の増加時と同じ変化を示さずに、図3に示すようなヒステリシス特性が示される。

【0022】すなわち、該液晶セルが明の状態にある時から閾値+V3以下に電圧が変化した時点から液晶の分子が変化しはじめ、飽和電圧+V4以下となることにより該液晶セルは暗の状態に変化する。つまり、閾値電圧から飽和電圧に印加電圧を変化させると該液晶セルは明の状態から暗の状態へスイッチングされることになる。

【0023】このような状態は、印加電圧が負の電圧である場合にも同様であり、該液晶セルの暗の状態から明の状態、及び明の状態から暗の状態への変化においてそれぞれ閾値-V1、-V3、及び飽和電圧-V2、-V4をそれぞれ有している。したがって、印加電圧を+/-V1以上に設定すれば該液晶は明の状態となり、また印加電圧を印加電圧を+/-V3以下に設定すれば該液晶セルは暗の状態になる。

【0024】また、その間の印加電圧であれば、該液晶セルの状態は変化しないので、その直前の状態が維持されることになる。次に、液晶パネル1を駆動する制御装置4について説明する。上記液晶パネル1を線順次走査方式に基づき本発明の駆動波形にて駆動するための制御

信号を画像データとして取り込み蓄積するフレームメモリ21と、フレームメモリ21から画像データを読み出し、クロック信号等の各種制御信号を生成して出力する制御手段としてのコントロール回路22と、コントロール回路22からの制御信号を受けて、上記各表示画素GをON又はOFF状態に選択するための制御電圧(Va又は-Va)及びその選択されたON又はOFF状態を保持するための制御電圧(Vo又は-Vo)を走査信号として上記各行電極Y1, Y2...Ynに印加する行駆動手段としての行駆動回路23と、同じくコントロール回路22からの制御信号を受けて各表示画素をON又はOFF状態に制御するための制御電圧(Vb又は-Vb)を上記各列電極X1, X2...Xmに印加する列駆動手段としての列駆動回路24とから構成されている。なお、行駆動回路23には電圧レベル設定回路51が設けられ、電圧レベル設定回路51は所定の入力電圧(例えば100V又はDC12V)から前記制御電圧(Va又は-Va、Vo又は-Vo)を形成する。列駆動回路24には電圧レベル設定回路52が設けられ、電圧レベル設定回路52は所定の入力電圧(例えば100V又はDC12V)から前記制御電圧(Vb又は-Vb)を形成する。

【0025】以下、制御装置4の詳細な構成、動作を説明する。また、行駆動回路23は、シフトレジスタ31と、データラッチ回路32と、駆動回路33とから構成されて、列駆動回路24は、シフトレジスタ41と、データラッチ回路42と、駆動回路43とから構成されている。図4は、制御装置4に使用される液晶パネルの駆動信号波形の例を示す図である。本図に示す駆動波形は、図3の正極性電圧範囲のヒステリシス特性を利用して駆動する第1フィールド及び負極性範囲のヒステリシス特性を利用して駆動する第2フィールドで構成され、それぞれ行電極Y1, Y2...Yn及び列電極X1, X2...Xmへ印加される8つの基本信号からなる。図4(a)は行電極Y1, Y2...Ynに印加される走査信号群、図4(b)は列電極X1, X2...Xmに印加される制御信号群である。これらは、上記制御装置4から適時出力される。

【0026】コントロール回路22からの制御信号を受けて、行電極Y1, Y2...Ynに走査信号を出力する行駆動回路23について、以下に、説明する。図5は本発明に係るマトリクス型液晶表示装置の行電極駆動回路23の一具体例を示す図である。図6は図5に示される行電極駆動回路23における各信号タイムチャートである。図5に示すように、行駆動回路23のシフトレジスタ31には、コントロール回路22から、Va、Vo、-Va、-Voの4つの走査信号レベルに対応した2ビットのデータ(以下、走査信号データという)D1、D2とこのデータに同期したクロック信号CL1とが与えられ、シフトレジスタ31は、図6(a)に示す

ように、このクロック信号CL1により走査信号データD1、D2を順次取り込む。

【0027】また、図5に示すように、データラッチ回路32には、コントロール回路22から、図6(c)に示すクロック信号CL1のn個分を一周期とするクロック信号CL2が入力され、データラッチ回路32は、このクロック信号CL2により、シフトレジスタ31に全ての行電極Y1、Y2・・・Ynの走査信号D1、D2取り込まれる度に、そのデータをラッチする。

【0028】一方駆動回路33は、図5に示すように、各行電極Y1、Y2・・・Ynに対応して設けられた、n個のアナログスイッチ33a1、33a2、・・・33anと、n個のレベルシフタ33b1、33b2、・・・33bnとから構成されている。また、アナログスイッチ33a1、33a2、・・・33anには、外部から各行電極Y1、Y2・・・Ynに印加するための4種の走査信号、すなわち、Va、Vo、-Va、-Voが供給されておるので、各アナログスイッチ33a1、33a2、・・・33anには、これら4種の走査信号内の1つを選択的に行電極Y1、Y2・・・Ynに印加できるように、4つのスイッチ素子が設けられている。そして各レベルシフタ33b1、33b2、・・・33bnは、データラッチ回路32に蓄積された各行電極Y1、Y2・・・Yn毎の走査信号データをレベルシフトして、対応するアナログスイッチ33a1、33a2、・・・33anに駆動信号を出力することにより、アナログスイッチ33a1、33a2、・・・33anが行電極Y1、Y2・・・Ynに印加する走査信号を、走査信号データに対応させる。

【0029】このように行駆動回路23は、コントロール回路22から出力される各行電極Y1、Y2・・・Ynに対する走査信号データD1、D2をクロック信号CL1により順次取り込み、全行電極Y1、Y2・・・Ynに対する走査信号D1、D2を取り込む度(すなわちクロック信号CL2の一周期毎)に、図5の下段の一例に示すように、各行電極Y1、Y2・・・Ynへの印加電圧Va、Vo、-Va、-Voをその走査信号データに対応して変更する。

【0030】一方コントロール回路22は、図6(c)に示すように、走査信号データD1、D2を、クロック信号CL2の一周期内に、第1行目の行電極Y1から最終の行電極Ynまで順に出力するが、クロック信号CL2の一周期当たりに出力される走査信号データD1、D2の内、表示変更の対象となる特定の行電極(以下、選択電極という。)以外の走査信号データD1、D2には、反強誘電性液晶のヒステリシス特性の中間電圧となる第3の電圧(Vo又は-Vo)を設定し、選択電極の走査信号データD1、D2に対してのみ、表示画素のON・OFF状態を切り替え可能な第1及び第2電圧Va又は-Vaを設定する。

【0031】また、コントロール回路22は、図6(b)に示すように、選択電極をクロック信号CL2の2周期毎に第1行目の行電極Y1から順に変更して行き、図6(a)に示すように、選択電極に対する走査信号データD1、D2として、クロック信号CL2の第1周期目及び第2周期目でそれぞれ第1及び第2電圧-Va又はVaを、それぞれ設定する。また、コントロール回路22で、選択電極に第2電圧を印加した後、次のクロック信号CL2により選択電極が他の行電極に変更されて再び当該電極が選択電極となるまでの間、当該電極に印加する第3の電圧の極性を、第2電圧の極性と同じ極性に設定する。つまり、図6(a)に示すように、選択電極の第2の電圧が正の電圧であれば、その後当該電極には正の第3電圧Voが印加され、選択電極の第2電圧が負の電圧-Vaであれば、その後当該電極には負の第3電圧-Voが印加される。

【0032】また、更にコントロール回路22は、第1行目の行電極Y1から準に印加電圧を変更する制御を実行するが、第1行目Y1から最終行の行電極Ynに対する制御を一旦終了する度に、すなわち液晶パネル1の1画面分の走査を終了する度に、各行電極Y1、Y2・・・Ynへの印加電圧の極性を前回と異なる極性に変更する。次にコントロール回路22からの制御信号を受けて列電極X1、X2・・・Xmに制御電圧を印加する列駆動回路24について説明する。

【0033】図7は本発明に係るマトリックス型液晶表示装置の列電極駆動回路の一具体例を示すブロックダイアグラムである。本図に示すように、列電極駆動回路24のシフトレジスタ41には、コントロール回路22から、上述の選択電極と各列電極X1、X2・・・Xmの交点に形成されるm個の表示画素をON状態にするかOFF状態にするかを表すON・OFFデータDGが各列電極毎に順次入力されると共に、その入力タイミングと同期してクロック信号CL3が入力される。

【0034】図8は、図7に示される列電極駆動回路における各信号のタイミングチャートである。本図(b)に示すように、このON・OFFデータ及びクロック信号CL3は、上記クロック信号CL2の一周期の(1/m)の周期で入力され、シフトレジスタ41は、クロック信号CL3により、クロック信号CL2の一周期当たりに全列電極X1、X2・・・XmのON・OFFデータDGを取り込む。

【0035】また図7に示すように、データラッチ回路42には、コントロール回路22からクロック信号CL2が入力されると共に、選択電極への印加電圧の極性を表すフィールド信号F1が入力される。そしてデータラッチ回路42は、クロック信号CL2により、シフトレジスタ41から全ての列電極X1、X2・・・XmのON・OFFデータDGを取り込むと共に、フィールド信号F1に基づき各列電極Y1、Y2・・・YmのON・OFF

FデータDGを選択電極への印加電圧の極性に対応して制御電圧データに変換して記憶する。

【0036】ここでコントロール回路22は、選択電極を変更する度に、すなわちクロック信号CL2の2周期毎に、各列電極へのON・OFFデータDGを、フレームメモリ21から読み込んだ画像データに基づき変更するようにされており、図8(a)に示すようにこのON・OFFデータDGが表示画素のON指令を表している場合、データラッチ回路42は、フィールド信号F1がON、すなわち選択電極への印加電圧の極性が正であれば、クロック信号CL2の第1周期目の制御電圧データを+Vb、第2周期目の制御電圧データを-Vb逆にフィールド信号F1がOFF、すなわち選択電極への印加電圧の極性が負であれば、クロック信号CL2の第1周期目の制御電圧データを-Vb、第2周期目の制御電圧データを+Vbに設定する。

【0037】なお、図に示さないが、コントロール回路22からのON・OFFデータDGが表示画素のOFF指令を表している場合には、上記とは逆に、フィールド信号F1がON、すなわち選択電極への印加電圧の極性が正であれば、クロック信号CL2の第1周期目の制御電圧データを-Vb、第2周期目の制御電圧データを+Vbに設定し、フィールド信号F1がOFF、すなわち選択電極への印加電圧の極性が負であれば、クロック信号CL2の第1周期目の制御電圧データを+Vb、第2周期目の制御電圧データを-Vbに設定する。

【0038】一方駆動回路43は、図7に示すように、各列電極X1, X2...Xmに対応して設けられた、m個のアナログスイッチ43a1, 43a2, ...43anと、n個のレベルシフト43b1, 43b2, ...43bnとから構成されている。また各アナログスイッチ43a1, 43a2, ...43anには、これら3種の制御電圧の内の1つを選択的に列電極X1, X2...Xmに印加できるように、2つのスイッチ素子が設けられている。

【0039】そして各レベルシフト43b1, 43b2, ...43bnは、データラッチ回路42に蓄積された各列電極X1, X2...Xm毎の制御電圧データをレベルシフトして、対応するアナログスイッチ43a1, 43a2, ...43anに駆動信号を出力することにより、アナログスイッチ43a1, 43a2, ...43anから制御電圧に対応した制御電圧を各列電極X1, X2...Xmに同時に印加させる。

【0040】すなわち、列電極回路24の動作をまとめると、まず行駆動回路23からクロック信号CL2の1周期毎に第1電圧(-Va)→第2電圧(Va)が順次印加される選択電極Yj(j:1~n)の印加電圧(すなわち第2電圧(Va))の極性が正であるとき、この選択電極Yjと列電極Xi(i:1~m)とにより形成される表示画素GをONにする場合、列駆動回路24は、列電

極Xiに対して、クロック信号CL2の1周期毎に+Vb→-Vbを印加し、逆に表示画素をOFFする場合には列駆動回路24は、列電極Xiに対して、クロック信号CL2の1周期毎に+Vb→-Vbを印加する。

【0041】また、選択電極Yjの印加電圧の極性が負であるとき、この選択電極Yjと列電極Xi(i:1~m)とにより形成される表示画素GをONにする場合には、列駆動回路24は、列電極Xiに対して、クロック信号CL2の1周期毎に-Vb→+Vbを印加し、逆に表示画素をOFFする場合には、列駆動回路24は、列電極Xiに対して、クロック信号CL2の1周期毎に+Vb→-Vbを印加する。

【0042】以上のようにして形成した本発明の駆動波形による反強誘電性液晶13の動作を説明する。図9は本発明におけるマトリックス型液晶装置に使用されている行電極と列電極の部分拡大図である。本図に示すように、斜線を施した画素は(例えば(1,2))OFF表示画素、それ以外(例えば(1,1))はON表示画素である。

【0043】図10は本発明におけるマトリックス型液晶表示装置の液晶セルの両電極間に実際に印加される電圧信号波形を説明する図である。本図(a)には、ON表示画素に加えられる波形が示される。各々の電圧レベルは図3のヒステリシス特性との関連においてVoをヒステリシス幅(例えばV1'-V3'で定義)ほぼ中央の電圧値、VaとVbは、次の3つの条件

$$Va + Vb > V2' \quad \dots (1)$$

$$Va - Vb > V1' \quad \dots (2)$$

$$2 \cdot Vb \leq V1' - V3' \quad \dots (3)$$

を満たすように設定されている。そして各パルス幅tは、電圧(Va+Vb)を反強誘電性液晶13に印加したときのスイッチング時間に対応させてある。このとき、選択期間の最初の電圧-(Va+Vb)のパルスで液晶13は消光位が-θずれた明状態になった後、電圧(Va+Vb)のパルスで消光位がθずれた明状態に変化する。そして非選択期間に印加されている電圧(Vo+Vb)又は(Vo-Vb)によってその明状態は保持される。この関係逆極性の電圧でもまったく同様である。この様子を示す光学透過率変化が図10(b)に示される。次に、OFF表示画素に加えられる波形が図10(c)に示される。この電圧波形では、もともとOFF状態(反強誘電状態すなわち暗状態)にある液晶は応答せず暗表示のままである。また、上記ON表示の波形でON状態(-θの明状態)に励起されている場合も選択期間に最初の電圧-(Va-Vb)のパルスでは変化しないが続く逆極性で、+θの明状態へ変化できない電圧(Va-Vb)のパルスにより-θの明状態は反強誘電状態(暗状態)に戻る。この様子を示す光学透過率変化が図10(d)に示される。

【0044】以上のようして、行電極側Aレベル、列

電極側2レベルの電圧を制御することによりマトリックス液晶セル10はダイナミック駆動され高コントラストの表示を得ることができる。また、本駆動法では以下のような利点もある。図3の反強誘電性液晶13のスメチック層は図示されているように「くの字」に折れ曲がったシェブロン構造をしている。この層構造は、電場を印加して強誘電状態にすると、「くの字」が伸びたブックシェルフに変化する。この様子をX線回折法で調べ、結果を以下に説明する。

【0045】図11はブックシェルフ構造の変化を説明する図である。本図(a)に示す電場ゼロのときスメチック層は約11°傾いた「くの字」である。電場を印加すると強誘電相に変化する以前の電圧では変化しないが(本図(b)参照)、強誘電相となる電圧でスメチック層の傾きのないブックシェルフ構造に変化する(本図(c)参照)。電場を再びゼロにすると初期よりも角度の小さいシェブロン構造に戻る。これらの事実は、M. Johno et al.; Jpn. J. Appl. Phys., vol. 28, (1989)L119あるいはY. Yamada et al.; Jpn. J. Appl. Phys., vol. 29, (1990)pp1757 ~1764などの論文の中に報告されている。すなわち、反強誘電性液晶13は、反強誘電状態(暗状態)と強誘電状態(明状態)とをスイッチングさせると層構造変化(層スイッチングと呼ばれている)を伴うということである。そして、我々の実験によれば、過度のスイッチングは表示装置としたときの残像(表示の焼き付きと呼ばれる現象)の原因となる。従来駆動法では、選択信号中に電圧ゼロの期間があるためにON表示画素の液晶はフィールド周期毎に例えば負電圧の強誘電状態→反強誘電状態→正電圧の強誘電状態又は逆の経路の状態変化が起こる。そして、それに伴って層スイッチングが起こっていることになる。すると、例えば、コンピュータ端末などのように静止画を表示した場合、特定の画素すなわちON表示画素の液晶のみ過度の層スイッチングがあり、OFF表示画素の液晶では層スイッチングが行っていないこととなる。従って、この差が表示の焼き付きとなって現れる。

【0046】しかしながら、本発明の駆動法では、ON表示画素の液晶は、電圧ゼロの期間がないためにフィールド周期毎に負電圧の強誘電状態→正電圧の強誘電状態又はこの逆の経路の状態変化しか起こらない。すなわち、反強誘電状態を経由せずに極性反転が起こるわけである。これ故に、この変化では層スイッチングが起こらない。結局、本発明の駆動法によれば、層スイッチングはON表示とOFF表示が切り換えるときのみしか起こらないことになる。従って、従来駆動法のような層スイッチングの特定画素へのかたよりのないため表示の焼き付きが防止できるわけである。

【0047】次に反強誘電性液晶のフリッカ(ちらつき)低減について説明する。図4(a)に示すように、

Va、-Voの4つの電圧レベルを順次切替え出力される。図4(b)に示すように、列駆動回路24からは、表示すべきデータ(ON、OFF)にあわせ行駆動回路23と同期した信号が出力される。列駆動回路24からの電圧レベルは+Vb、-Vbの2種類を基本としている。

【0048】各駆動回路から出力された電圧は液晶セル10(図2参照)の透明電極11b、12bに印加され、液晶13を駆動している。液晶13は上下電極の電位差により透過率が変わることから、その電位差を表す図10(a)に示すように、6種類の電圧レベルが順次切換えられる波形となる。このような基本的な駆動波形を用いてテレビ表示を行うとき、30Hzのフリッカ(ちらつき)発生するという問題が生じる。この30Hz成分のフリッカがでる理由は、図4に示す1フレームがNTSC(National Television System Committee)信号の1フレーム(30Hz)に相当するからである。第1フィールドと第2フィールドの透過率の差が大きいほどフリッカ強度は大きくなる。ここで、図4の駆動波形では第1フィールドは正電位が液晶に印加されることから+フレーム、第2フィールドは逆に-フレームと呼ばれる。

【0049】図12は反強誘電性液晶のフリッカと相対透過率との関係を説明する図である。本図に示すように、ここで白表示における反強誘電性液晶の透過率を100%とする相対透過率を横軸に、フリッカ強度を縦軸にとると、フリッカは透過率20~60%の中間調(灰色)表示時に、顕著に現れる。そこで、「H反転」と呼ばれる上下の画素で位相を180°ずらし画面全体のフリッカを低減する方法が提案されているが、表示データによってはH反転の効果が得られずフリッカが目立つ。さらに、本図に示すように、フリッカ調査の過程で、フリッカに経時変化のあることが分かった。以下にフリッカの発生原因を説明する。

【0050】図13は、理想的な液晶のヒステリシスを示す図であり、図14は、フリッカ発生原因となる液晶の非対象なヒステリシス特性を示す図である。図13に示すように、液晶が理想的な場合には、印加電圧±Vに対して対称なヒステリシス特性を有する。しかし、図14③に示すように、フリッカの発生原因はヒステリシスカーブが電圧方向にシフトしていることにより生じることが分かった。よってフィールド間で異符号電圧(+Vaと-Va)を印加しても透過率が一致せず、T(-Va)-T(Va)だけずれてフリッカの原因となる。また、その他に、図14②に示すように、液晶の偏光軸の角度ずれが、同様に、フリッカの原因となる。さらに、その他に、図14①に示すように、駆動波形の非対称性を原因としても、フリッカの原因となることが考えられる。

【0051】これらのフリッカの原因のうち特に影響が

行駆動回路24からは、駆動波形が+Vb、-Vb、-

大きい、図14③に示す液晶の非対称なヒステリシス特性を原因とするフリッカの低減を以下のようにして行う。液晶の非対称なヒステリシス特性を原因とするフリッカはヒステリシスカーブが電圧方向にシフトしているためであり、よってフィールド間で異符号同電圧（例えば $+V_a$ と $-V_a$ ）を印加しても透過率が一致せずフリッカとなっていた。したがって、液晶の非対称なヒステリシス特性を除去するために、図1の行駆動回路23又は列駆動回路24の少なくとも一方の駆動波形にオフセット V_c （直流）を重ねさせる。

【0052】図15は図1の制御装置4に使用される液晶パネルの駆動信号波形であって、行駆動回路23の駆動波形にオフセット電圧 V_c （直流）を重ねした場合における例を示す図である。本図に示すように、オフセット電圧 V_c の重畳により、前述した $+V_a$ 、 $+V_o$ 、 $-V_a$ 、 $-V_o$ は、それぞれ、 $+V_a+V_c$ 、 $+V_o+V_c$ 、 $-V_a$ 、 $-V_o$ となる。このようにヒステリシスカーブのシフト分をキャンセルするように印加電圧をフィールド間で変わり（例えば $+V_a+V_c$ と $-V_a$ ）、透過率が等しくなり、フリッカがなくなる。この時、加えられるオフセット電圧 V_c はヒステリシスカーブの電圧シフト分をキャンセルするためなので直流電圧とする。発明者の実験ではヒステリシスカーブが+側に0.1Vシフトしており、フィールド間で異符号同電圧を印加した時透過率は+フィールド（第1フィールド）が小さく、-フィールド（第2フィールド）が大きいという状態であった。

【0053】図16は駆動回路33へ走査信号を与える電圧レベル設定回路51の変形を示す図である。電圧設定回路51の定電圧回路51aは入力電圧（例えばAC100V又はDC12V）から V_a 、 V_o 、 $-V_a$ 、 $-V_o$ を形成する。定電圧回路51aの後段のオフセット電圧回路51bはオフセット電圧 V_c を形成し、ここで、 $R_1=R_2$ の時は、 $V_c=0$ となる。加算回路51cは電圧 V_a と V_c とを加算し、加算回路51dは電圧 V_o と V_c とを加算する。

【0054】図17は駆動回路43へ走査信号を与える電圧レベル設定回路52の変形を示す図である。電圧設定回路52の定電圧回路52aは入力電圧（例えばAC100V又はDC12V）から V_b 、 $-V_b$ を形成する。定電圧回路52aの後段のオフセット電圧回路52bはオフセット電圧 V_c を形成し、ここで、 $R_3=R_4$ の時は、 $V_c=0$ となる。加算回路52cは電圧 V_b と V_c とを加算する。

【0055】なお、オフセット電圧を走査ドライバ側に印加する場合は、 $R_1 \neq R_2$ 、 $R_3=R_4$ とし、信号ドライバ側に印加する場合は、 $R_1=R_2$ 、 $R_3 \neq R_4$ とする。図18はオフセット電圧を重ねしてON表示画素に加えられた駆動波形を示す図である。

【0056】本図に示すように、+フィールドに電圧 V_c を

フト部のオフセット電圧 $V_c=0$ 、1Vを印加して液晶の非対称ヒステリシス特性を原因とするフリッカを低減できるようになった（+フィールドの透過率を増加させた）。図19は1フレーム内の透過率の経時変化を模式的に表した例を説明する図である。液晶の非対称なヒステリシス特性のずれは、オフセット印加の有無にかかわらず経時変化を行うことが実験的に明らかとなっており、経時変化が飽和する30分後ではオフセット電圧に換算すると、約-0.1V分フリッカが変化する。すなわち、オフセット電圧を0.1V印加し、フリッカを低減できるが、30分後にはオフセット無しと同様のフリッカとなる。逆にオフセットを0.2V印加した場合には時間と共にオフセット0.1Vの状態に近づき、フリッカが低減できる。この0.2Vの印加によりフリッカを8.2%から0.1%に低減できた。なお、オフセット電圧値は液晶材料、基板加工精度により変わるが、いずれの場合でも上記2点の現象より求めることができる。

【0057】したがって、本実施例によれば、オフセット電圧の重畳により+フィールドと-フィールドの光学非対称を無くし、フリッカを低減できる。図20は図1の制御装置4に使用される液晶パネルの駆動信号波形であって、列駆動回路24の駆動波形にオフセット電圧 V_c （直流）を重ねした場合における例を示す図である。また、オフセット電圧がヒステリシスカーブの非対称をキャンセルすることを目的としているため、液晶間の電位差でヒステリシスカーブを描くことから、本図に示すように、列駆動回路24による+フィールドの駆動波形にオフセット電圧 V_c を重ねさせても効果は変わらない。駆動波形にオフセット電圧 V_c を重ねさせることがポイントであり、駆動波形は問わないためである。

【0058】まとめると、オフセット電圧をヒステリシスカーブの前記非対称分としてもよい。また、オフセット電圧を前記経時変化分としてもよい。また、オフセット電圧をヒステリシスカーブの非対称分と経時変化分の合計としてもよい。

【0059】また、オフセット電圧を-1V~1Vの範囲とする。過渡の補正を抑制するためである。さらに、以下のような駆動波形レベル数が多い、駆動波形レベルに対してもオフセット電圧を印加してもよい。図21は本発明の別の実施例に係る液晶表示装置全体の構成を示す概略構成図である。本図に示す制御装置120は、液晶パネル1を周知のアナログRGB信号を入力してフルカラー表示するもので、入力されるRGB信号と画像静止時に使用される停止用信号とを選択してレベル補正を行うレベル補正補正回路122、信号変換回路123、入力される同期信号より各種コントロール信号を作り出すコントロール回路124、データ信号を列電極に印加する列駆動回路125、走査信号を行電極に印加する行

【0060】レベル補正回路122は入力されてRGB信号を反強誘電性液晶の特性に合わせてRGB信号に変換する回路である。信号変換回路123は、レベル補正回路122で変換されたGRB信号をそのまま通過させるか、反転して出力する回路で、コントロール回路124で作りだされたフィールド信号FIによってそのいずれかが選択される。

【0061】コントロール回路124は、フィールド信号FIの他に、3種のクロック信号CL1、CL2、CL3、及び走査信号を構成する7種類の電圧レベル(V1、V2、-V2、V3、-V3、V4、-V4)に対応した3ビットの走査信号D1、D2、D3を出力する。列駆動回路125は、シフトレジスタ127とアナログデータラッチ128とから、以下のように、構成される。

【0062】図22は列駆動回路125の構成の具体例を示す図である。本図に示すように、列駆動回路125は、一組のシフトレジスタ127と、2段のサンプルホールド回路128a、128bからなる。信号変換回路123からのRGB信号は、コントロール回路124で作りだされた第1クロック信号CL1に同期して、初段サンプルホールド回路SH11、SH12…、SH1mに順次ラッチされ、1行分の信号をラッチした後ホールドされる。初段サンプルホールド回路128aにホールドされた信号は、コントロール回路124で作りだされた第2のクロック信号CL2に同期して次段サンプルホールド回路SH21、SH22、…SH2mに順次ラッチされ、各列電極にデータ信号として出力される。そして、列駆動回路125は上記動作を、以下のように、繰り返す。

【0063】図23は列駆動回路125における各信号のタイミングチャートである。本図に示すように、列駆動回路125は、駆動波形を有するデータ信号を出力する。すなわち、第1クロック信号CL1に同期して、RGBのデータ信号X1、X2、…Xmを出力する。なお、RGB信号のそれぞれの、中間調の表示を行えるようにその電圧レベルが設定されたものであり、その結果、各列電極に印加されるデータ信号は、本図のV_{0,1,2}に示すように電圧レベルが変化する。なお、本図(a)のV_{0,1,2}、-V_{0,1,2}について、V_{0,1,2}は入力

【0064】図21に戻り、行駆動回路126は、シフトレジスタ129、ドライバー130及び電圧レベル設定回路131から構成される。なお、電圧レベル設定回路131は所定の入力電圧(例えばAC100V又はDC12V)からV1、V2、-V2、V3、-V3、V4、-V4の直流電圧を形成する回路である。電圧レベ

応し、また、図1の電圧レベル設定回路52に対応する部分は信号変換回路123に含まれる。オフセット電圧を信号側(信号変換回路123)に印加する場合は非反転増幅器の倍率を変えることにより印加が行われる。

【0065】図24は行駆動回路126の構成の具体例を示す図である。本図に示すように、行駆動回路26は3組のシフトレジスタ129a、129b、129cと行電極の数nに応じた多数のデコーダ130a、各デコーダ130aに対して5つのアナログスイッチを備えた多数のアナログスイッチ回路130b、およびこのアナログスイッチ回路130bに走査電圧レベル(V1、V2、-V2、V3、-V3、V4、-V4)を供給する電圧レベル設定回路131により構成される。

【0066】各シフトレジスタ129a、129b、129cはコントロール回路124で作りだされた第3クロック信号CL3に同期して、全ての電極Y1~Ynの走査タイミング信号D1、D2、D3を取り込む。そして、各行に対応したシフトレジスタ129a、129b、129cは各デコーダ130aでデコードされデータに応じた走査電圧レベル(V1、V2、-V2、V3、-V3、V4、-V4)のアナログスイッチをONし、各行駆動電極へ消去、予備選択、選択、保持の走査信号を出力する。なお、V1は表示状態を反強誘電状態にもどすための消去電圧、±V4は表示状態の選択を行うための選択電圧、±V2は保持を行うための保持電圧、±V3は反強誘電状態から強誘電状態への励起をおこなう予備選択電圧である。そして、行駆動回路126は、以下のように、上記動作を繰り返す。

【0067】図25は行駆動回路126における各信号のタイミングチャートである。本図(a)、(b)及び(c)に示すように、行駆動回路126は駆動波形を有する走査信号を出力する。すなわち、第3クロック信号CL3に同期して、走査信号Y1、Y2、…Ynを出力する。これらの走査信号は、それぞれの行に対応し、具体的には、図25(a)に示すような各期間に応じた電圧レベルになる。そして、行の表示状態を選択する選択期間は、図25(a)に示すように2t1期間ずれて各行に順次発生する。

【0068】本走査信号にオフセットを加えた波形を図26に示す。図27はD1~D3の信号とアナログスイッチ回路130bより出力される電圧関係を示す図である。本図は一例を示し、D1~D3の信号とアナログスイッチ回路130bより出力される電圧の組み合わせ種々設定可能である。図28は図21の液晶表示装置全体の構成の第1の変形例を示す図である。本図に示すように、レベル補正回路122は反転増幅器と非反転増幅器とで構成され、RGBのレベルを変換するようにしてもよい。この場合、信号変換回路123の機能の一部をレベル補正回路122に入れる。

【0069】図29は図21の液晶表示装置全体の構成

の第2の変形例を示す図である。本図に示すように、レベル補正回路122、信号変換回路123の代わりに、AP1、AP2、AP3が設けられる。AP3はRGB信号をnビットのデジタルデータに変換するA/D変換器(Analog to Digital Converter)である。AP1はAP3からのデジタルデータを $-V_{b,1} \sim V_{b,n}$ のアナログ値に変換するD/A変換器(Digital to Analog Converter)である。AP2はアナログ変換に使用する基準電圧出力回路で、 $-V_{b,1} \sim V_{b,n}$ をn分割したDC電圧を出力する。

【0070】以上は、フリッカの発生原因として、ヒステリシスの非対称、経時変化と共に液晶材料物性に起因していたが、次に、反強誘電性液晶(AFLCD)を駆動する波形として、低温用駆動波形を考慮する。ON表示の場合、選択信号の極性が反転した時点で、一方の強誘電状態からもう一方の強誘電状態への変化が起きる、この応答に要する応答時間は温度が低くなるにつれて長くなる。この応答時間が、選択信号の1パルス分の時間よりも長くなるような温度領域でも、画素をON表示できるようにする必要がある。このため、低温用駆動波形にオフセット電圧を印加して、低温時の表示品位向上とフリッカの低減を兼ね備えた液晶表示素子の実現を図る。まず、以下に、低温用駆動波形を説明する。

【0071】図30は温度と応答時間の関係を示す図である。本図に示すように、 20° 以下では、強誘電状態間の応答よりも反強誘電状態から強誘電状態への応答の方がより高速である。この反強誘電状態から強電状態への応答過程を、以下のように、適用する。図31は、図25のタイミングチャートの変形例である。走査信号はそれぞれの行に対応し、後述する予備選択期間、選択期間、保持期間、消去期間のいずれかの期間に対応した電圧レベルからなる。予備選択期間及び選択期間の第1パルス部分は、選択期間の第2パルス部分において反強誘電性液晶が第1安定状態(表示消去の状態)から第2又は第3安定状態に移るようにして、前記応答時間を短縮する。第2安定状態、第3安定状態はいずれも液晶を透光状態(表示ON)にするものであるが、それぞれの状態においては液晶にかかる電界の印加方向が逆になっている。

【0072】選択期間第2パルスは、列電極に印加される駆動信号との組み合わせで画素の表示状態を決定するものである。保持期間は、選択期間に決定された表示状態を維持するためのものである。消去時間は、表示状態を第1安定状態に戻すためのものである。図31(a)に示すように、予備選択期間は、波高値がV3、パルス幅が $2t$ ($t=31.8\mu\text{sec}$)で選択期間と極性が逆の1パルスで構成されている。選択期間第1パルスは、波高値がV3でパルス幅が t の1パルスで構成されている。選択期間第2パルスは、波高値がV4でパルス幅が t の1パルスで構成されている。保持期間は、波高

値V2で極性が選択期間後半と同じであり、パルス幅 $2 \cdot t \cdot (n-2-R)$ の単極性1パルスで構成されている。消去期間は、波高値がV1でパルス幅が $2 \cdot t \cdot R$ の単極性1パルスで構成されている。なお、Rは消去期間を $2t$ で割った値として求められる。

【0073】図32はON状態にある画素に印加される駆動電圧波形とその駆動電圧波形の印加時の画素の光透過率を示す図であり、図32はOFF状態にある画素に印加される駆動電圧波形とその駆動電圧波形の印加時の画素の光透過率を示す図である。画素が明(ON)の場合、画素には図31に示すような波形形状の駆動電圧が印加される。予備選択期間及び選択期間第1パルスで第1安定状態に準じた状態となり、選択期間第2パルスで第3安定状態となる。保持期間では第3安定状態に準じた状態を維持し、消去期間では、第3安定状態に準じた状態から第1安定状態となる。負のフィールドに続く正フィールド期間においては、予備選択期間及び選択期間第1パルスで第1安定状態に準じた状態となり、選択期間第2パルスで第2安定状態となる(フィールド毎に極性反転した電圧が印加されるため)。保持期間では第2安定状態に準じた状態を維持し、消去期間では第2安定状態に準じた状態から第1安定状態となる。以上の正負フィールドで1画面が構成されている。

【0074】画素が暗(OFF)の場合、画素には図33に示すような波形形状の駆動電圧が印加される。予備選択期間及び選択期間第1パルスで第1安定状態に準じた状態となり、選択期間第2パルスでも第1安定状態に準じた状態となる。保持期間では第1安定状態に準じた状態を維持し、消去期間では第1安定状態に準じた状態から第1安定状態あるいは第1安定状態に準じた状態となる。

【0075】以上のような駆動方法を用いた場合、予備選択期間及び選択期間第1パルスで第1安定状態に準じた状態から第2安定状態へ移行し始める直前の状態となるように、V3を設定することにより、予備選択期間が無く選択期間第1パルスの電圧が $-V4$ である従来駆動法に比較して画素のONとOFFの比すなわち最大にするために印加する駆動信号の波高値 $V4 + Vb$ を、さらに、小さくすることができる。上記低温用駆動波形を求める構成の変形例を以下に説明する。

【0076】図34は図21の液晶表示装置の構成の変形例を示す図であり、図35は図34の行駆動回路126の構成の具体的例を示す図であり、図36はD1~D4の信号とアナログスイッチ回路130bより出力される電圧関係を示す図である。本実施例では、走査電圧レベルを9レベル(V4、V3、V3'、V2、V1、 $-V2$ 、V3'、 $-V3$ 、 $-V4$)で構成している。それに対応して、駆動回路126は4組のシフトレジスタ129a、129b、129c、129d、データラッチ129e、行電極の数に応じた数値のデコーダ130、各

デコーダ130aに対して9個のアナログスイッチを備えた多数のスイッチ回路130bからなる。各シフトレジスタ129a、129b、129c、129dはコントロール回路24で作らだされた第3クロック信号CL3に同期して、走査信号D1、D2、D3、D4を取り込む。データラッチ129eはコントロール回路24で作らだされた第2クロック信号CL2に同期してシフトレジスタ129にすべての行電極Y1～Ynの走査信号D1、D2、D3、D4が取り込まれる毎にそのデータをラッチする。そして、シフトレジスタ129に蓄積された走査信号データは、各デコーダ129eでデコードされ、データに応じた走査電圧レベルのアナログスイッチをONし、各行電極へ消去、予備選択、選択、保持の走査信号として出力される。

【0077】予備選択期間の電圧の振幅をV3'とするが、V3'の振幅がV3の振幅よりも小さくてもよく、逆に大きくてもよい。次に低温用駆動波形にオフセット電圧を印加する場合について説明する。図37～図46は図21、28、29、34の液晶表示装置における走査ドライバ側の低温用駆動波形にオフセット電圧を印加した例を示す。

【0078】図37に示すものは、図31の低温用駆動波形に対して、オフセット電圧を印加したものである。図38に示すものは、図37に示すものに対して、予備選択期間を取り除いたものである。図39に示すものは、選択期間第1パルスを図38に示すものと逆極性としたものである。

【0079】図40に示すものは、図31に示すものに対して、予備選択期間を双極性の2パルスで構成し、予備選択期間第2パルスの極性を選択期間第2パルスの極性とと同じにしたものである。図41に示すものは、予備選択期間を双極性の2パルスで構成したものであって、予備選択期間の極性を図40に示すものと逆極性としたものである。

【0080】図42に示すものは、予備選択期間を図31に示すものに対して逆極性としたものである。図43に示すものは、予備選択期間及び選択期間第1パルスの極性を図42に示すものと逆極性としたものである。図44に示すものは、図43に示すものに対して、予備選択期間を双極性の2パルスで構成したものであって、予備選択期間第2パルスの極性を選択期間第2パルスの極性とと同じにしたものである。

【0081】図45に示すものは、予備選択期間を双極性の2パルスで構成したものであって、予備選択期間の極性を図44に示すものと逆極性としたものである。図46に示すものは、図42に示すものに対して、選択期間第1パルスの極性を逆極性としたものである。次に、データ信号のON信号とOFF信号についても種々の波形のものをを用いることができる。この波形例を図47～

における波形を逆極性にしている。

【0082】図47に示すものは、前半の期間は0レベルで後半の期間にパルス信号を形成するようにしたものである。図48に示すものは、図47に示すものに対して、OFF信号を0レベルにするようにしたものである。図49に示すものは2tの期間に対しパルス信号を形成するようにしたものである。

【0083】図50に示すものは、図49に示すものに対し、OFF信号を0レベルにするようにしたものである。図51に示すものは、双極性パルスのON信号に対して、OFF信号を0レベルにするようにしたものである。図52に示すものは、双極性パルスのON信号に対して、ON信号を反転した信号をOFF信号としたものである。

【0084】

【発明の効果】本発明に係る該マトリックス型液晶表示装置にあっては、上記した技術構成を採用していることから、駆動ICの集積度を向上させて高コントラストを確保し、反強誘電性状態液晶のスメクチック層の構造変化に伴う残像を防止し、しかも表示画素を駆動する必要な電圧レベルの数を低減して駆動回路を簡素化すると共に、オフセット電圧の重畳したので、フリッカを低減できる。

【図面の簡単な説明】

【図1】本発明の実施例に係る液晶表示装置全体の構成を示す概略構成図である。

【図2】本発明に用いられる液晶セル10の構成例を示す断面図である。

【図3】本発明に使用される反強誘電性液晶の相対光透過率と印加電圧との関係を示す図である。

【図4】制御装置4に使用される液晶パネルの駆動信号波形の例を示す図である。

【図5】本発明に係るマトリックス型液晶表示装置の行電極駆動回路23の一具体例を示す図である。

【図6】図5に示される行電極駆動回路23における各信号タイムチャートである。

【図7】本発明に係るマトリックス型液晶表示装置の列電極駆動回路の一具体例を示すブロックダイアグラムである。

【図8】図7に示される列電極駆動回路における各信号のタイミングチャートである。

【図9】本発明におけるマトリックス型液晶装置に使用されている行電極と列電極の部分拡大図である。

【図10】本発明におけるマトリックス型液晶表示装置の液晶セルの両電極間に実際に印加される電圧信号波形を説明する図である。

【図11】ブックシェルフ構造の変化を説明する図である。

【図12】反強誘電性液晶のフリッカと相対透過率との関係を示す図である。

【図13】理想的な液晶のヒステリシスを示す図である。

【図14】フリッカ発生原因となる液晶の非対象なヒステリシス特性を示す図である。

【図15】図1の制御装置4に使用される液晶パネルの駆動信号波形であって、行駆動回路23の駆動波形にオフセット電圧Vc（直流）を重ねた場合における例を示す図である。

【図16】駆動回路33へ走査信号を与える電圧レベル設定回路51の変形を示す図である。

【図17】駆動回路43へ走査信号を与える電圧レベル設定回路52の変形を示す図である。

【図18】オフセット電圧を重ねてON表示画素に加えられた駆動波形を示す図である。

【図19】1フレーム内の透過率の経時変化を模式的に表した例を説明する図である。

【図20】図1の制御装置4に使用される液晶パネルの駆動信号波形であって、列駆動回路24の駆動波形にオフセット電圧Vc（直流）を重ねた場合における例を示す図である。

【図21】本発明の別の実施例に係る液晶表示装置全体の構成を示す概略構成図である。

【図22】列駆動回路125の構成の具体例を示す図である。

【図23】列駆動回路125における各信号のタイミングチャートである。

【図24】行駆動回路126の構成の具体例を示す図である。

【図25】行駆動回路126における各信号のタイミングチャートである。

【図26】走査信号にオフセットを加えた波形を示す図である。

【図27】D1～D3の信号とアナログスイッチ回路130bより出力される電圧関係を示す図である。

【図28】図21の液晶表示装置全体の構成の第1の変形例を示す図である。

【図29】図21の液晶表示装置全体の構成の第2の変形例を示す図である。

【図30】温度と応答時間の関係を示す図である。

【図31】図25のタイミングチャートの変形例である。

【図32】ON状態にある画素に印加される駆動電圧波形とその駆動電圧波形の印加時の画素の光透過率を示す図である。

【図33】OFF状態にある画素に印加される駆動電圧波形とその駆動電圧波形の印加時の画素の光透過率を示す図である。

【図34】図21の液晶表示装置の構成の変形例を示す図である。

【図35】図24の行駆動回路126の構成の具体例

を示す図である。

【図36】D1～D4の信号とアナログスイッチ回路130bより出力される電圧関係を示す図である。

【図37】図21、28、29、34の液晶表示装置における走査ドライバ側の低温用駆動波形にオフセット電圧を印加した例を示す図である。

【図38】低温用駆動波形にオフセット電圧を印加した変形例を示す図である。

【図39】低温用駆動波形にオフセット電圧を印加した変形例を示す図である。

【図40】低温用駆動波形にオフセット電圧を印加した変形例を示す図である。

【図41】低温用駆動波形にオフセット電圧を印加した変形例を示す図である。

【図42】低温用駆動波形にオフセット電圧を印加した変形例を示す図である。

【図43】低温用駆動波形にオフセット電圧を印加した変形例を示す図である。

【図44】低温用駆動波形にオフセット電圧を印加した変形例を示す図である。

【図45】低温用駆動波形にオフセット電圧を印加した変形例を示す図である。

【図46】低温用駆動波形にオフセット電圧を印加した変形例を示す図である。

【図47】データ信号のON信号とOFF信号の例を示す図である。

【図48】データ信号のON信号とOFF信号の変形例を示す図である。

【図49】データ信号のON信号とOFF信号の変形例を示す図である。

【図50】データ信号のON信号とOFF信号の変形例を示す図である。

【図51】データ信号のON信号とOFF信号の変形例を示す図である。

【図52】データ信号のON信号とOFF信号の変形例を示す図である。

【符号の説明】

1…液晶パネル

4…制御装置

10…液晶セル

11、12…電極基板

13…反強誘電性液晶

14、15…偏光板

16、17…高分子膜

21…フレームメモリ

22、124…コントロール回路

23、126…行電極駆動回路

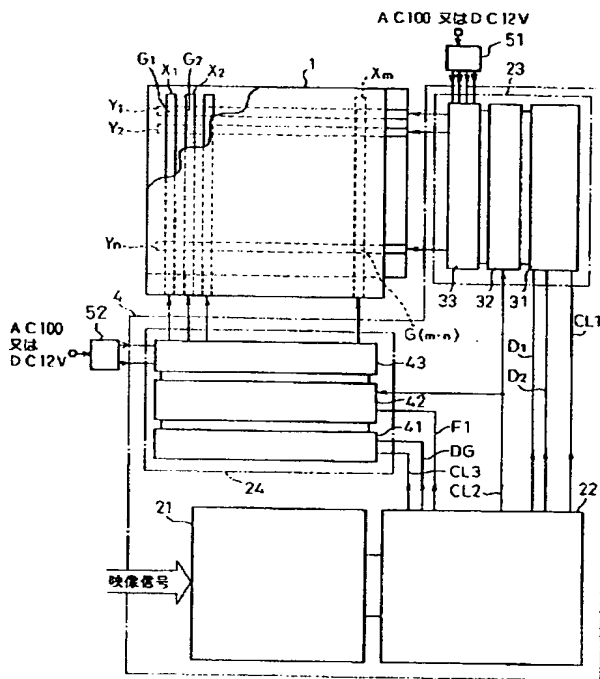
24、125…列電極駆動回路

51、52、131…電圧レベル設定回路

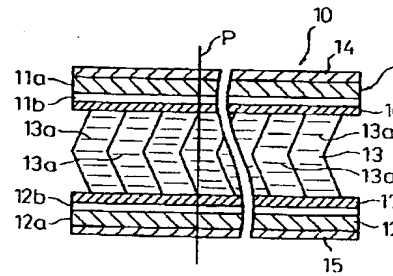
122…レベル補正回路

1 2 3...信号変換回路

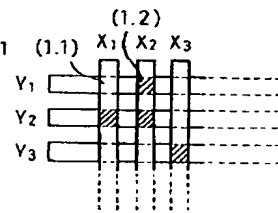
【図1】



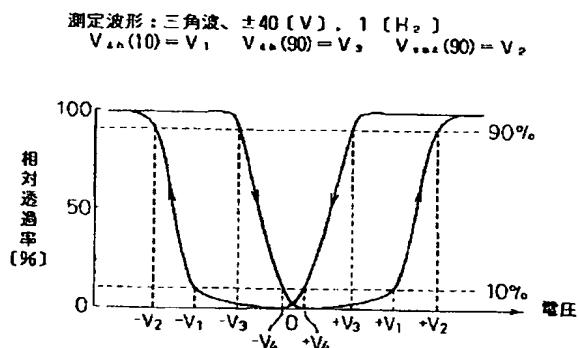
【図2】



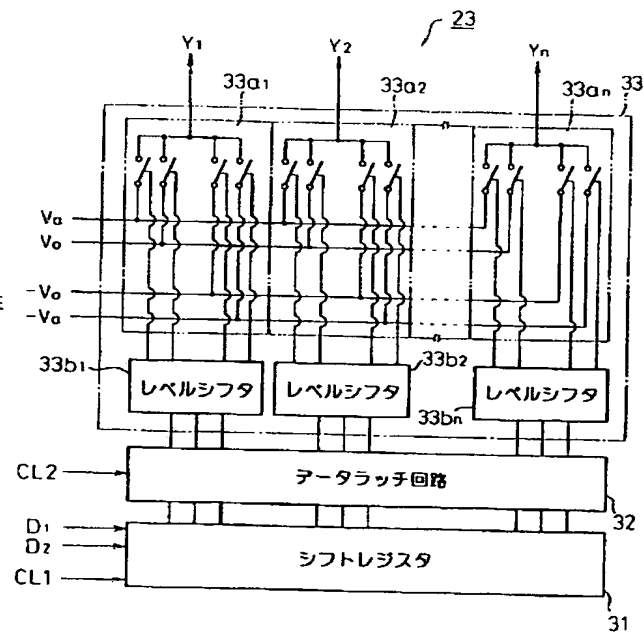
【図9】



【図3】

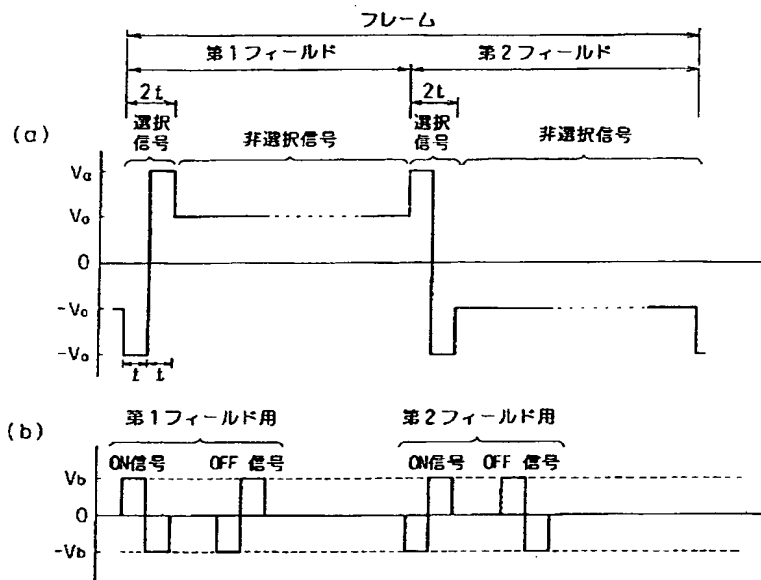


【図5】



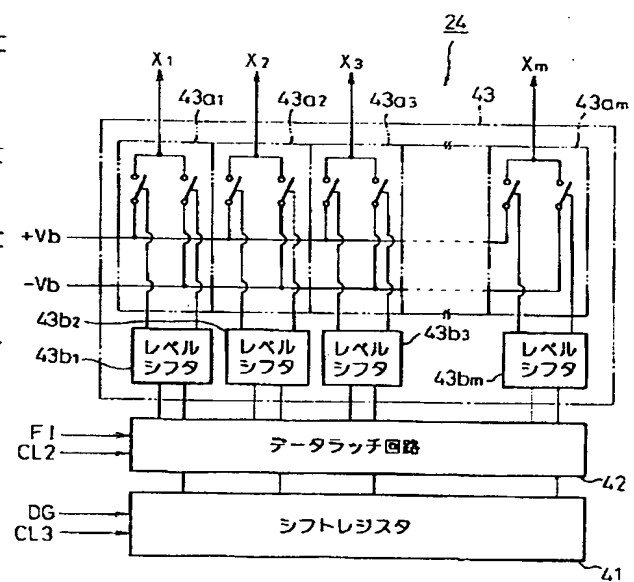
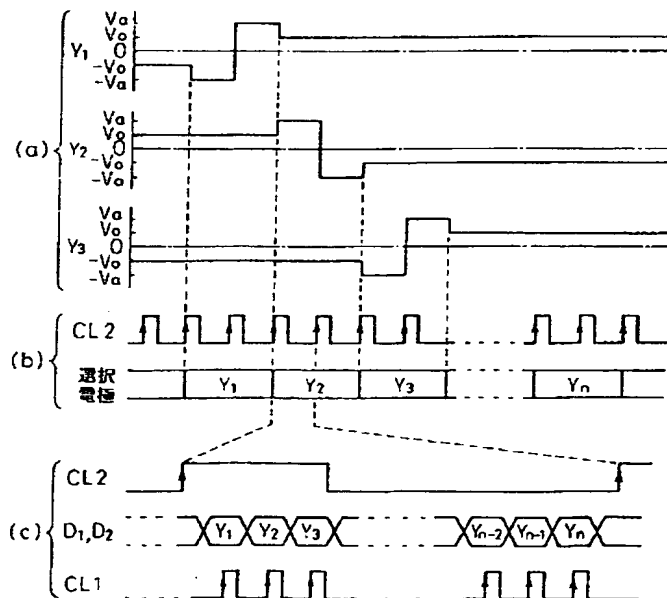
D ₁	D ₂	電圧値
H	H	V ₀
H	L	V _a
L	H	-V ₀
L	L	-V _a

【図4】

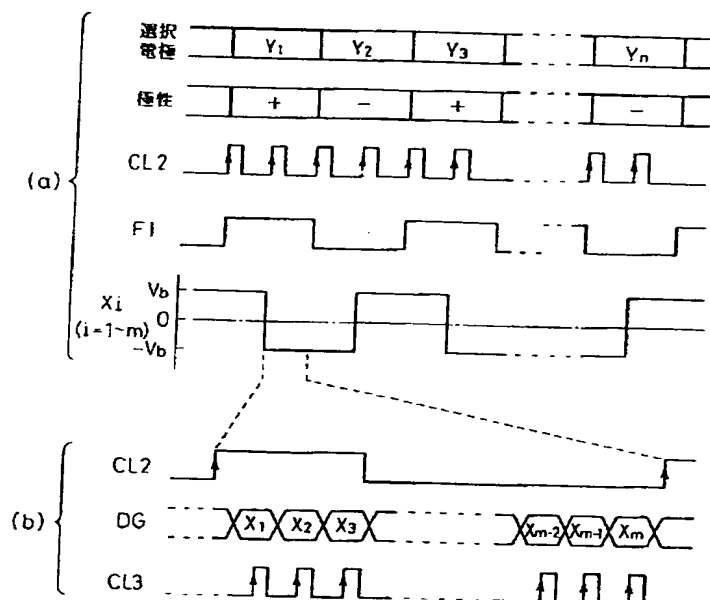


【図6】

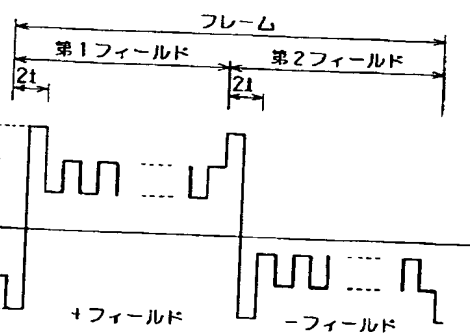
【図7】



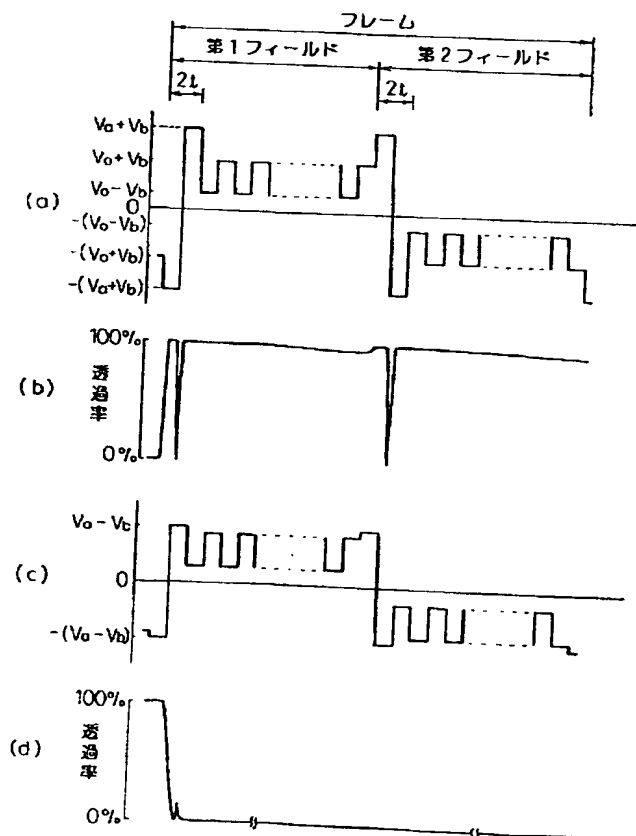
【図8】



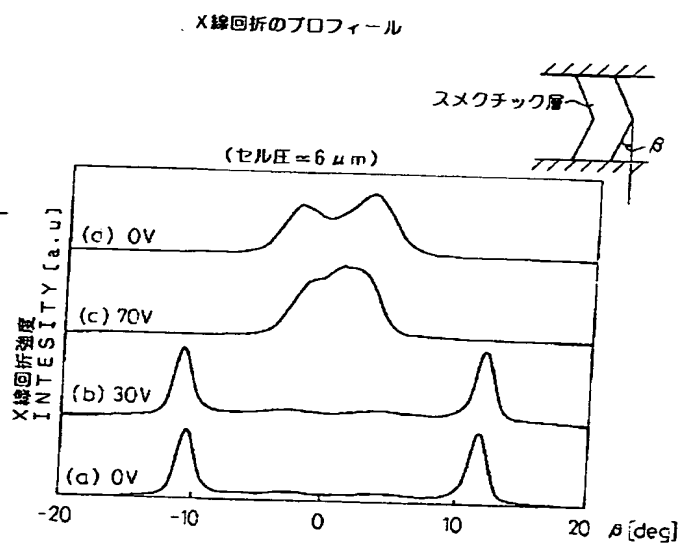
【図18】



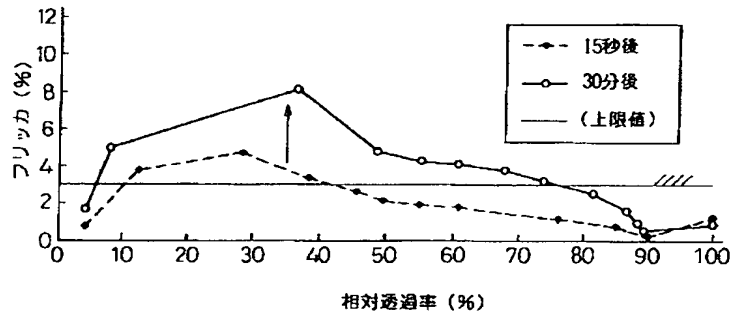
【図10】



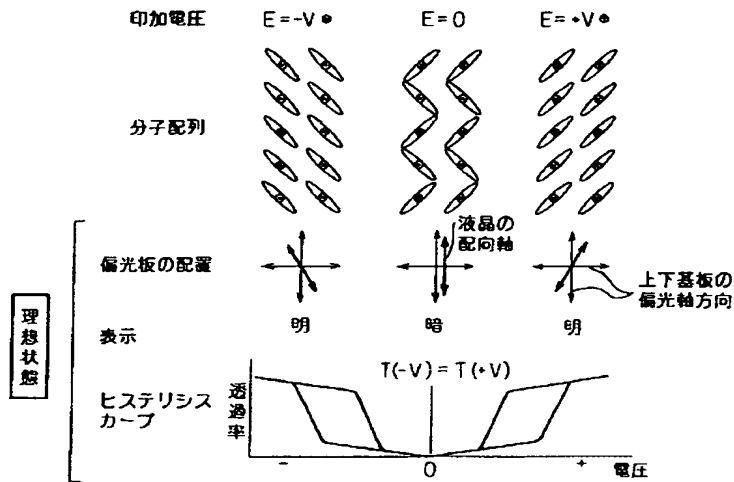
【図11】



【図12】



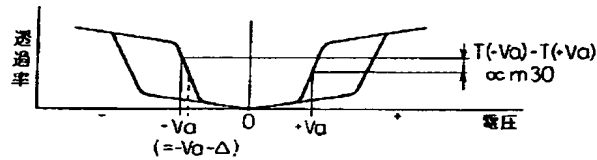
【図13】



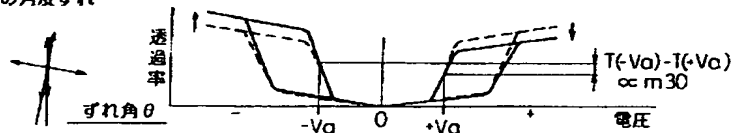
【図14】

フリッカの発生原因

① 駆動波形の非対称

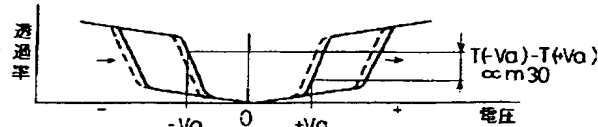


② 偏光軸の角度ずれ

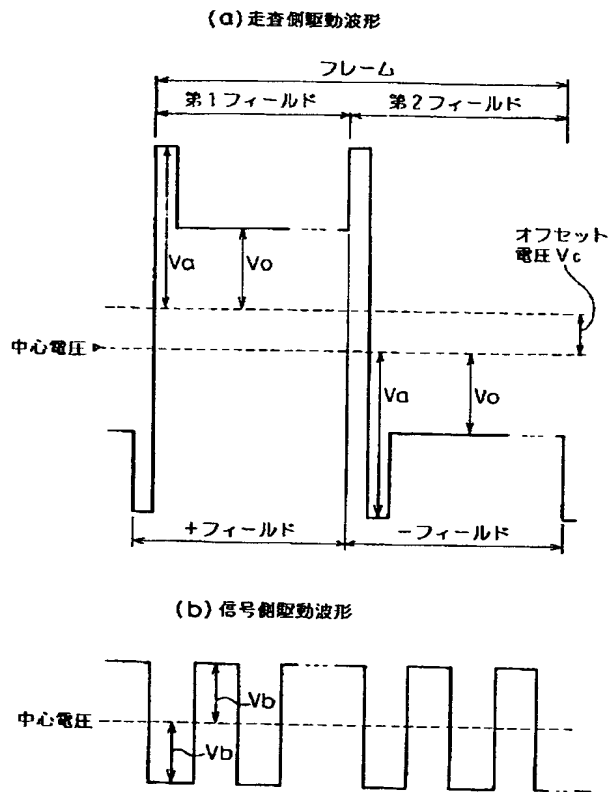


③ 液晶の特性

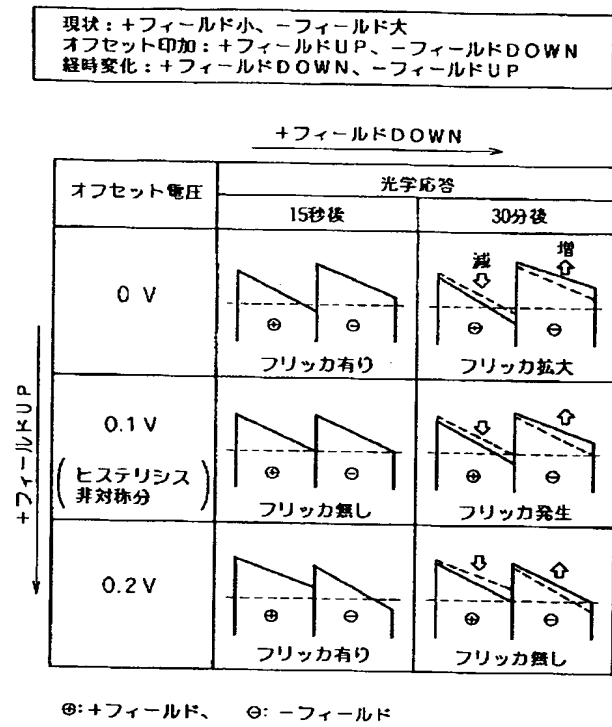
ヒステリシスカーブの非対称



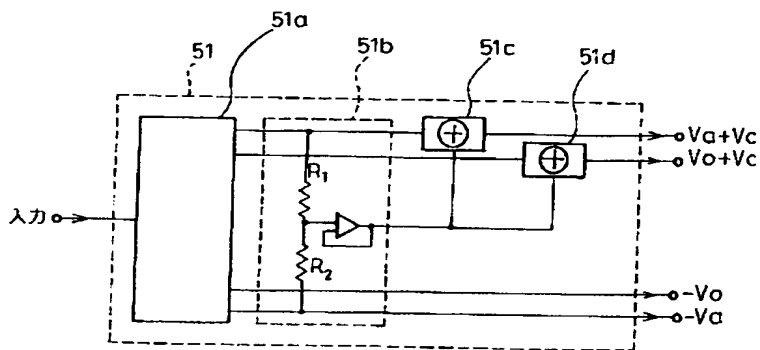
【図15】

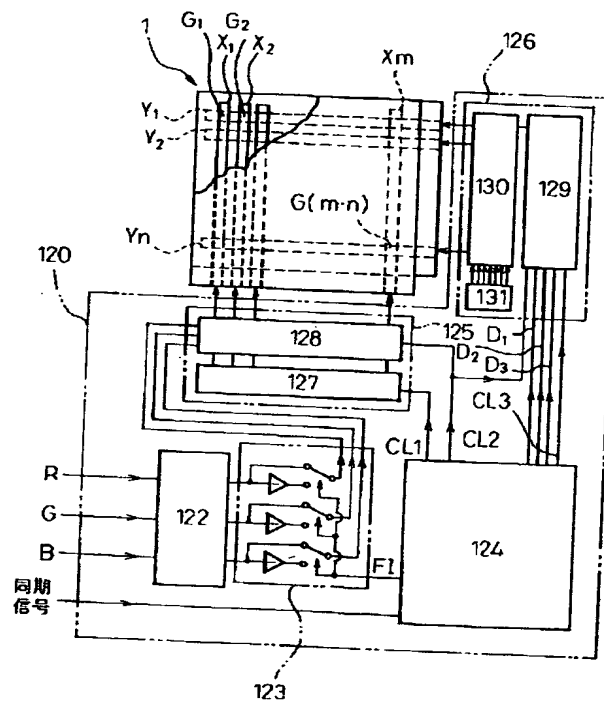


【図19】



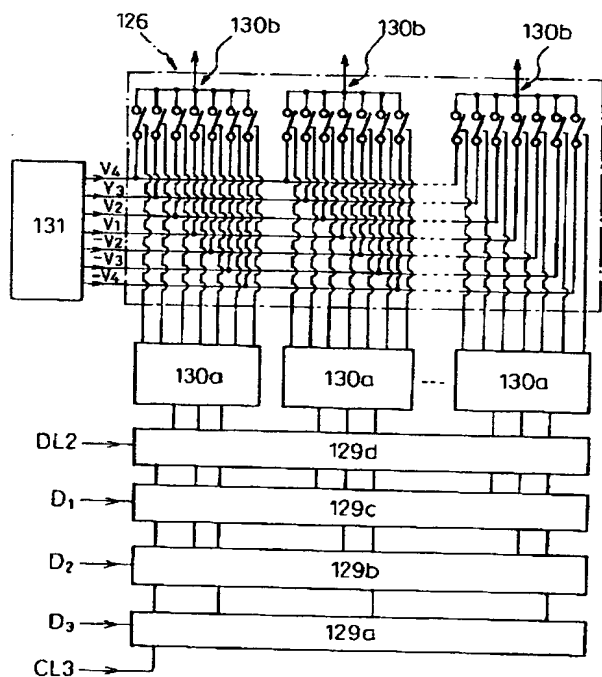
【図16】



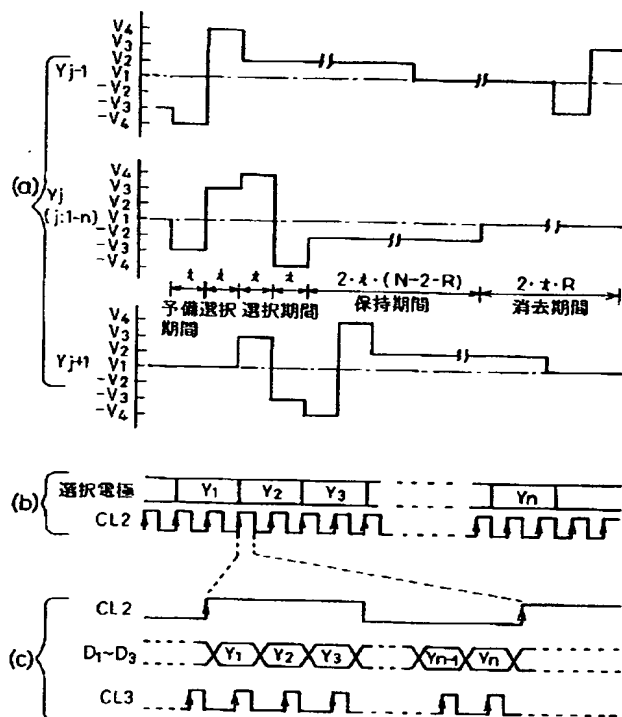


D_1	D_2	D_3	電圧値
H	H	H	V_1
H	H	L	V_2
H	L	H	V_3
H	L	L	V_4
L	H	H	V_1
L	H	L	$-V_2$
L	L	H	$-V_3$
L	L	L	$-V_4$

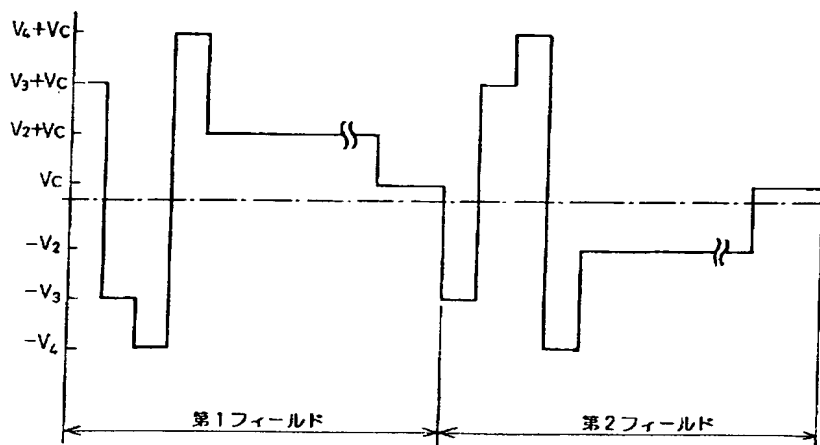
【図24】



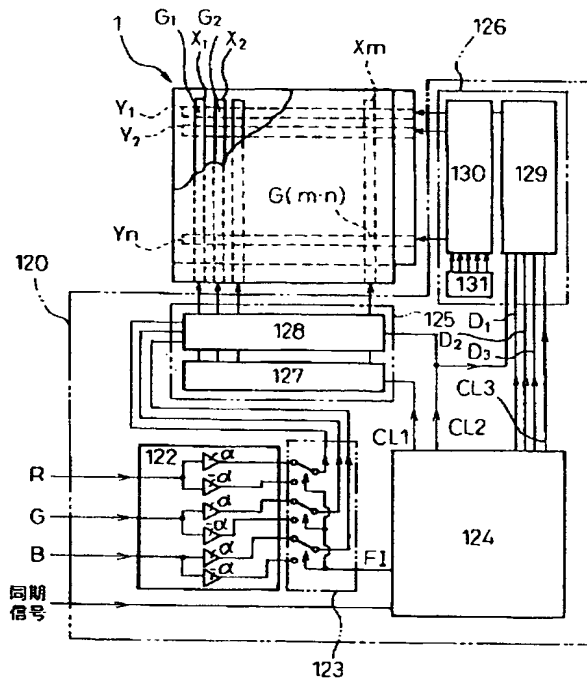
【図25】



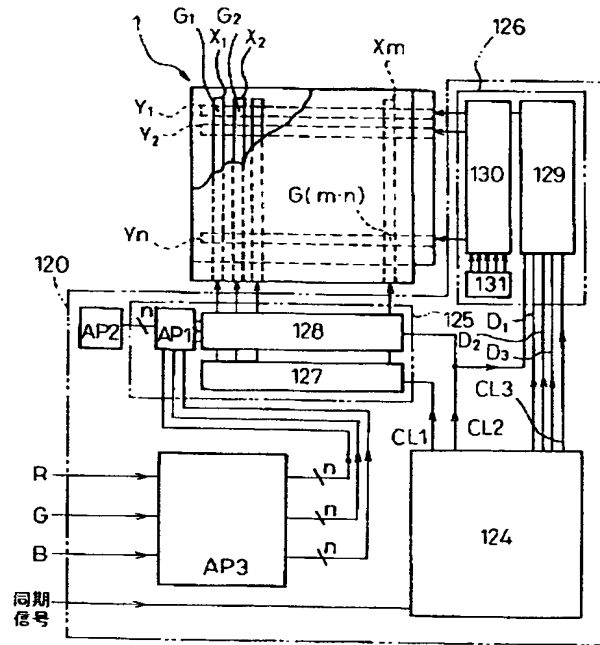
【図26】



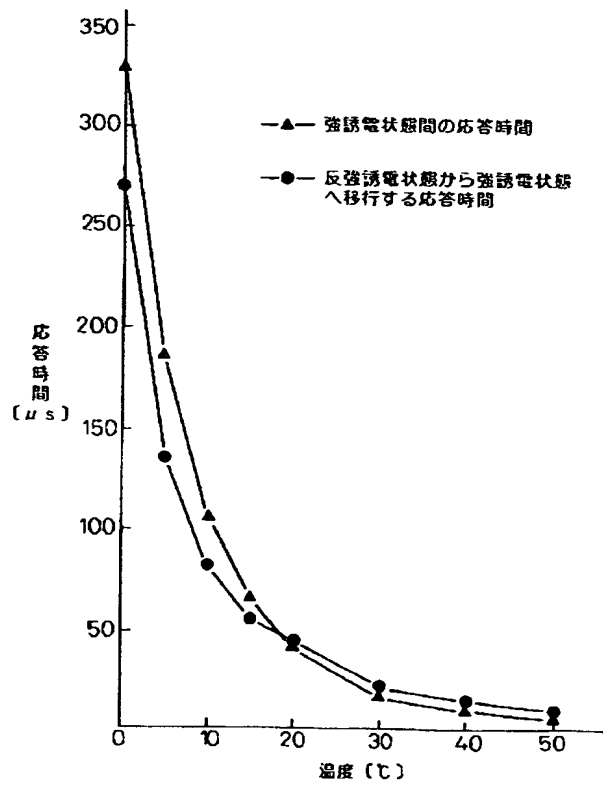
【図28】



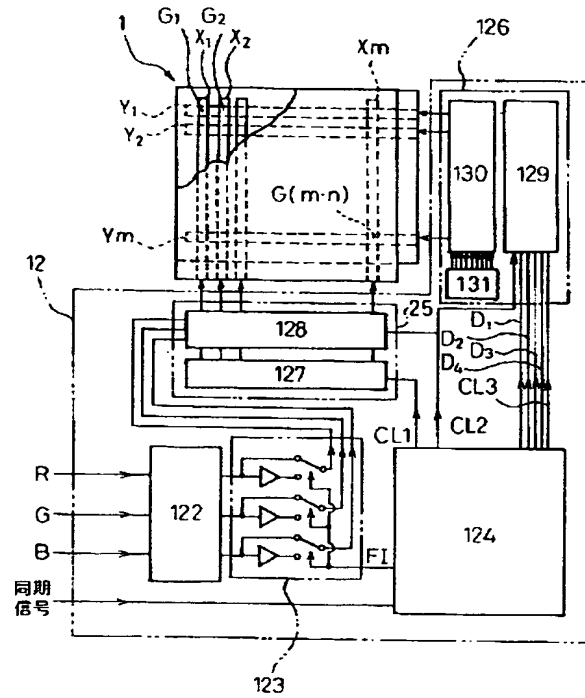
【図29】



【図30】

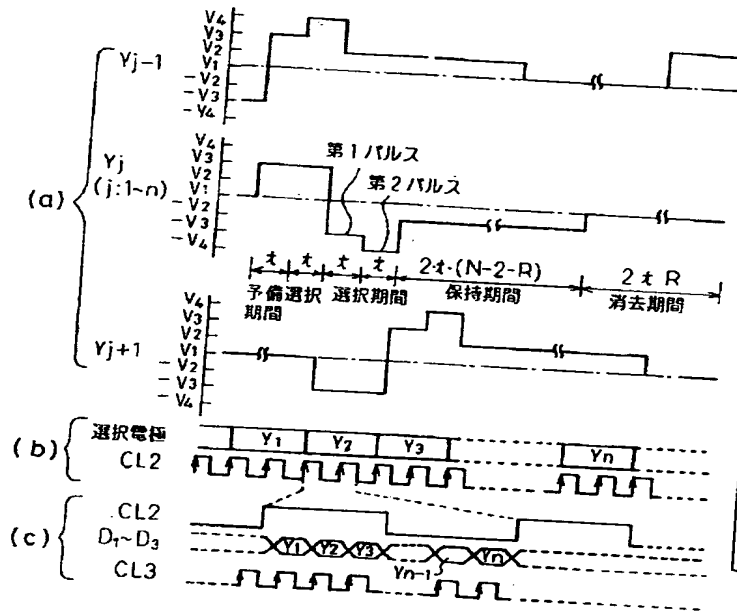


【図34】



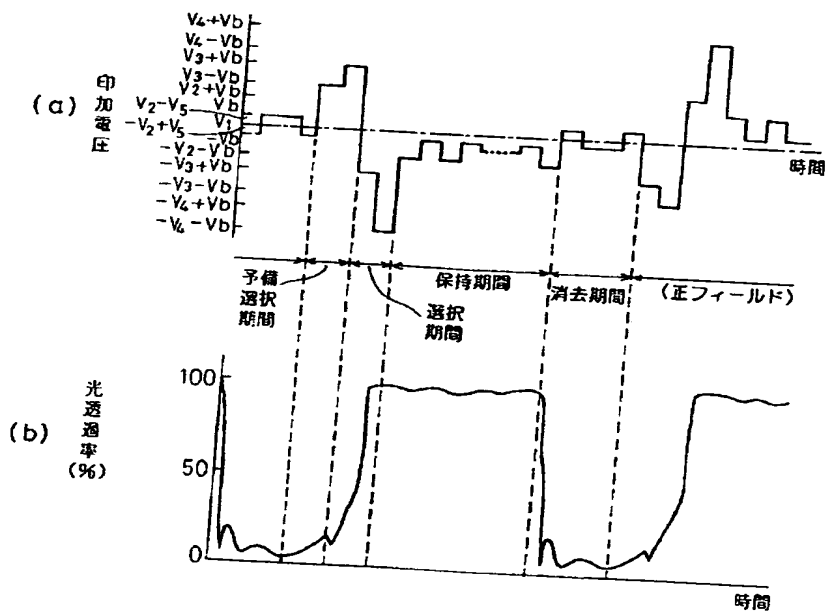
【図31】

【図47】

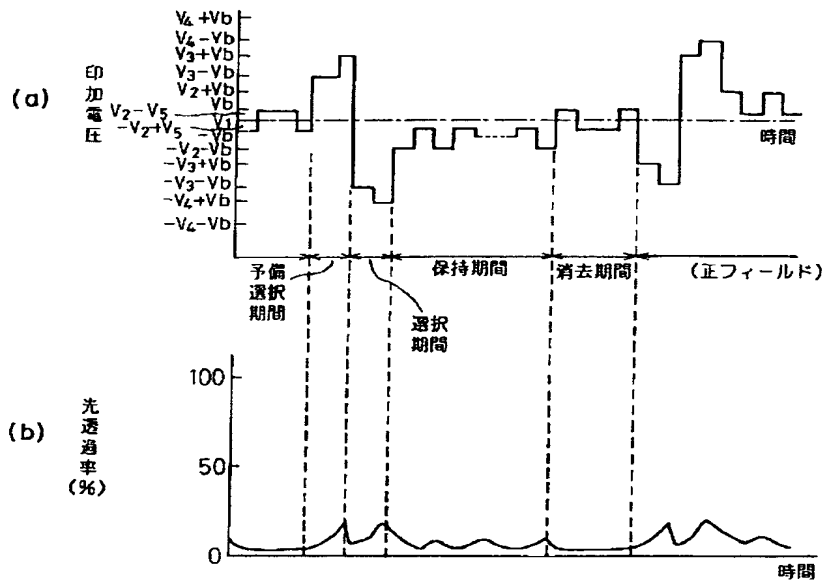


表示 フィールド	ON信号	OFF信号
負フィールド	$V_b + V_c$ V_c 	V_c $-V_b + V_c$
正フィールド	0 $-V_b$ 	V_b 0

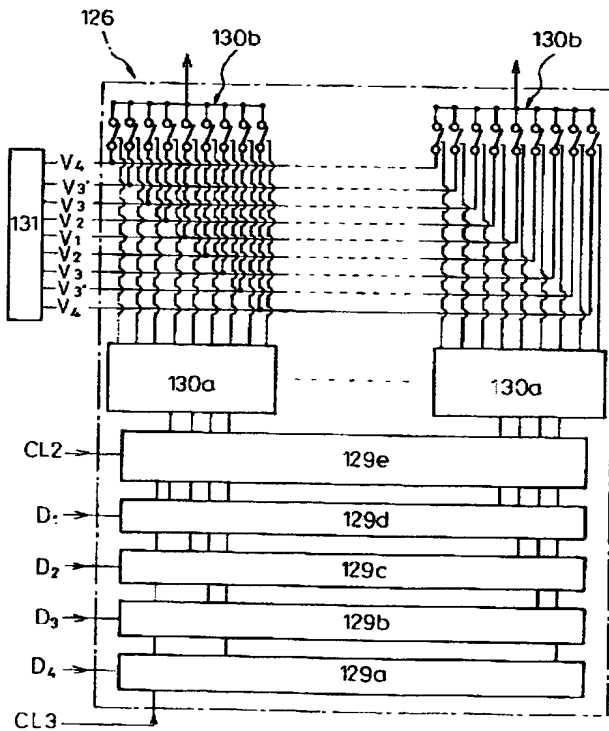
【図32】



【図33】



【図35】

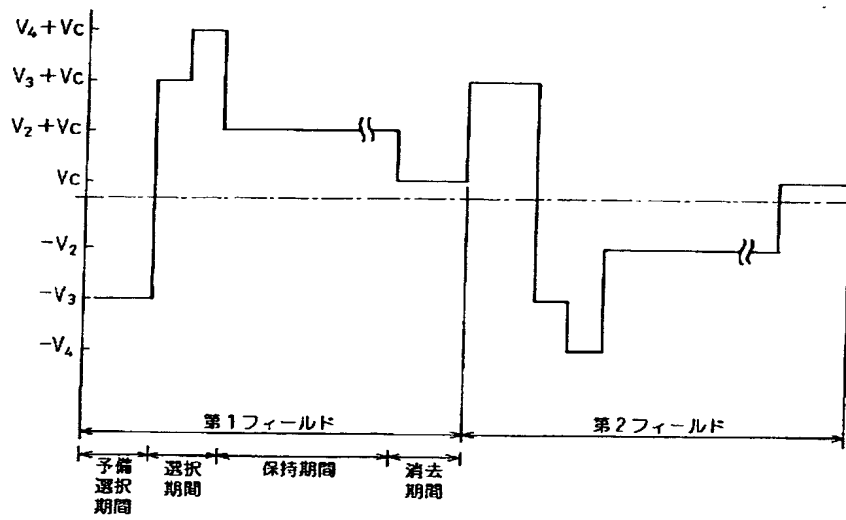


【図36】

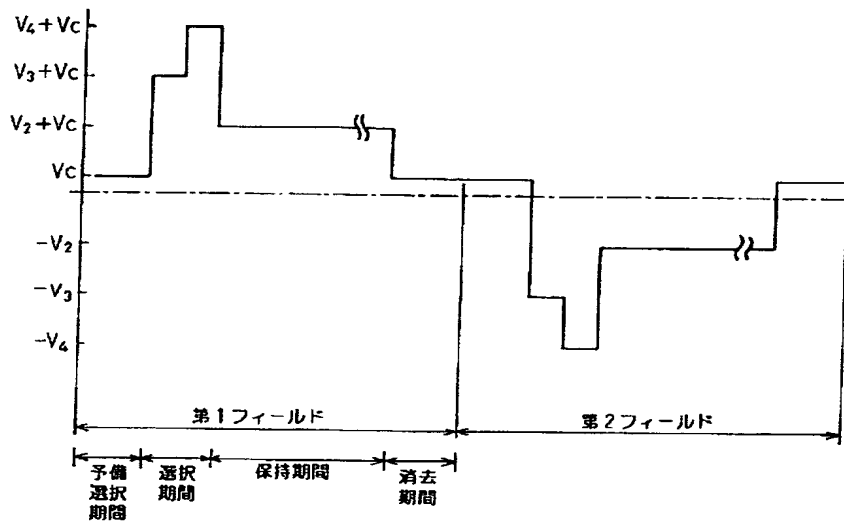
D ₁	D ₂	D ₃	D ₄	電圧値
H	H	H	L	V ₁
H	H	L	L	V ₂
H	L	H	L	V ₃
H	L	L	L	V ₄
L	H	H	L	V ₁
L	H	L	L	-V ₂
L	L	H	L	-V ₃
L	L	L	L	-V ₄
H	X	X	H	V _{3'}
L	X	X	H	-V _{3'}

X: H又はL (どちらでも可)

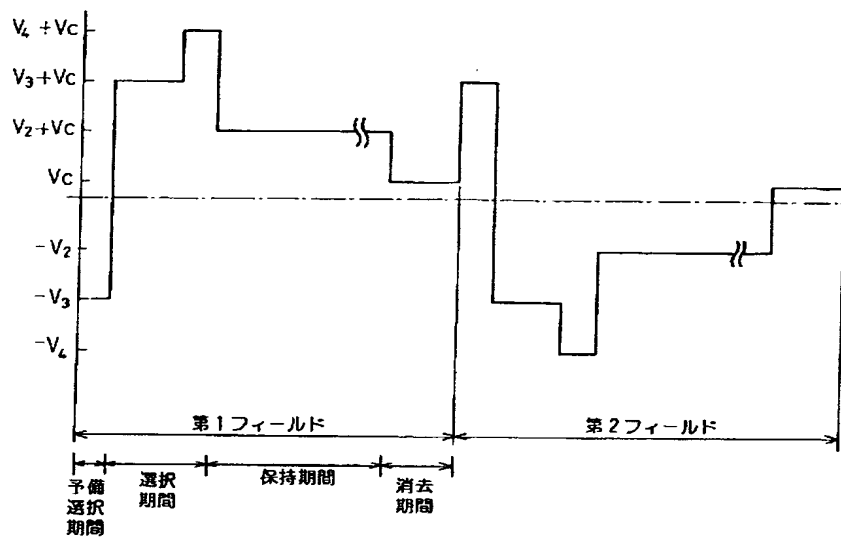
【図37】



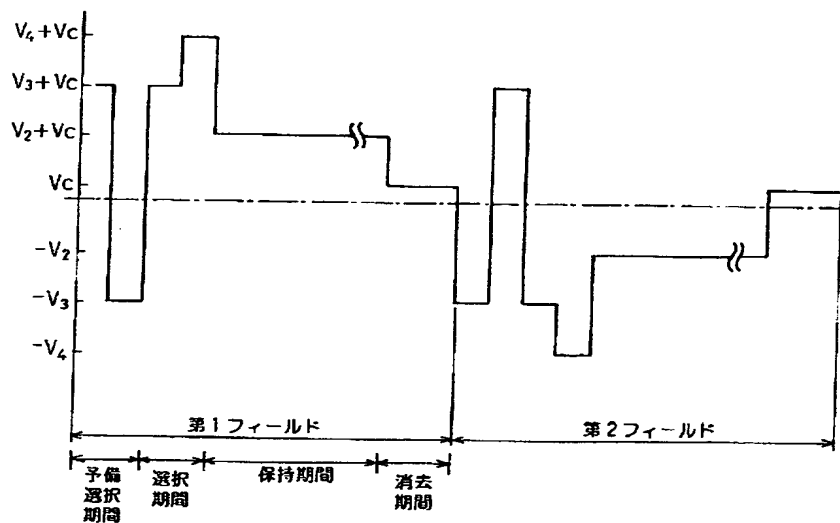
【図38】



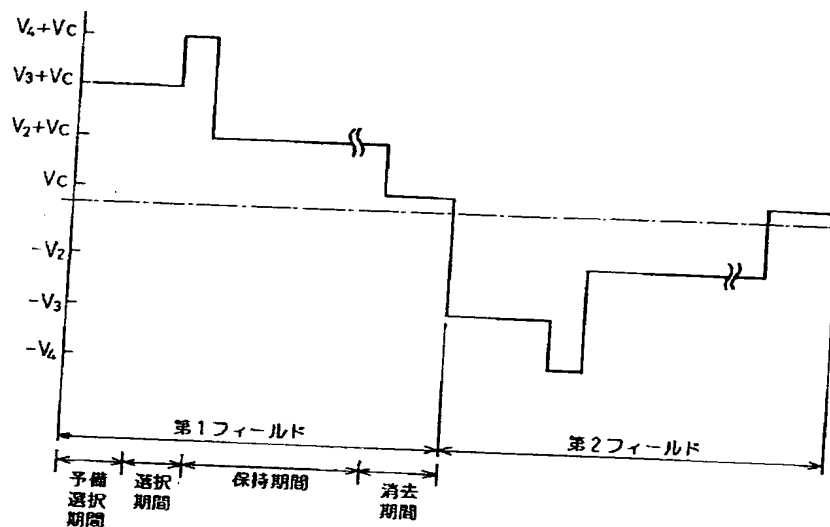
【図 39】



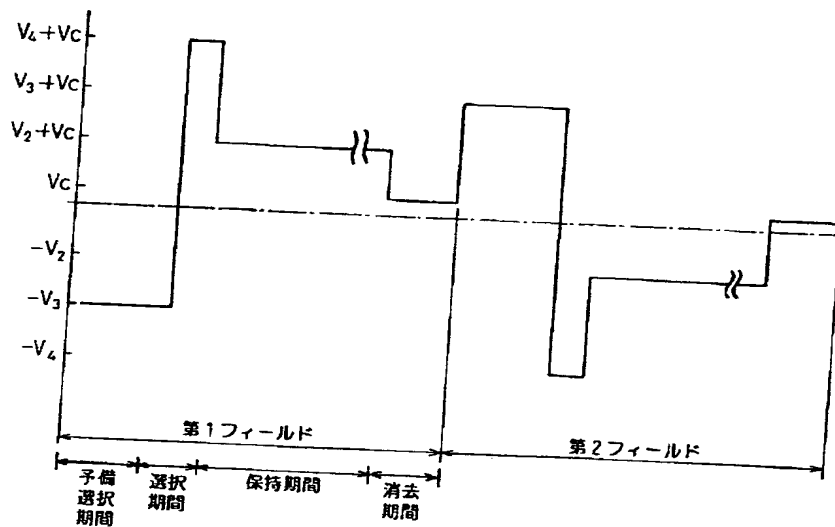
【図 40】



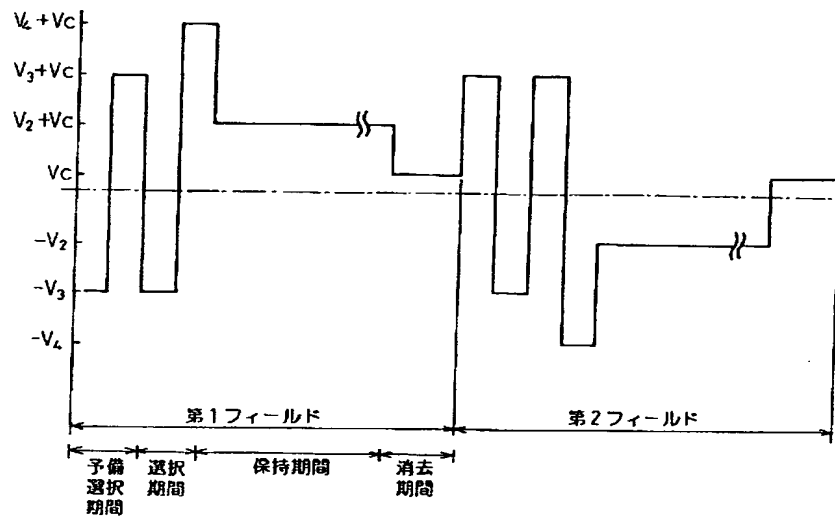
【図41】



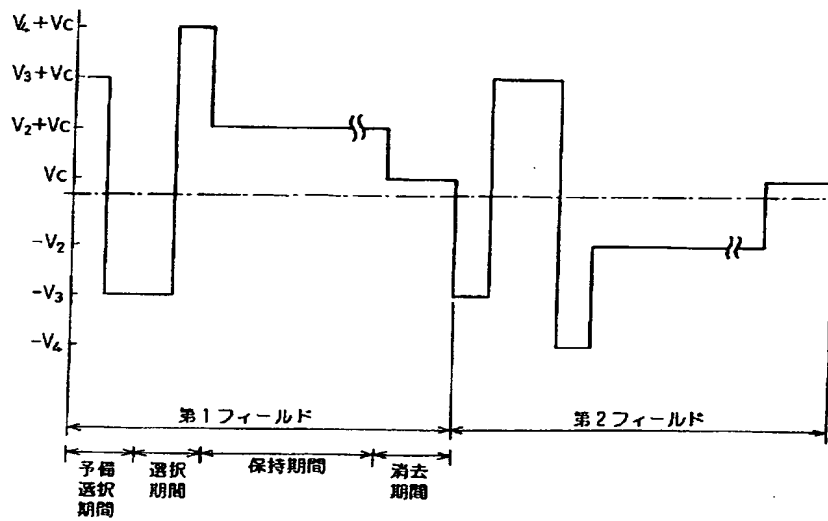
【図42】



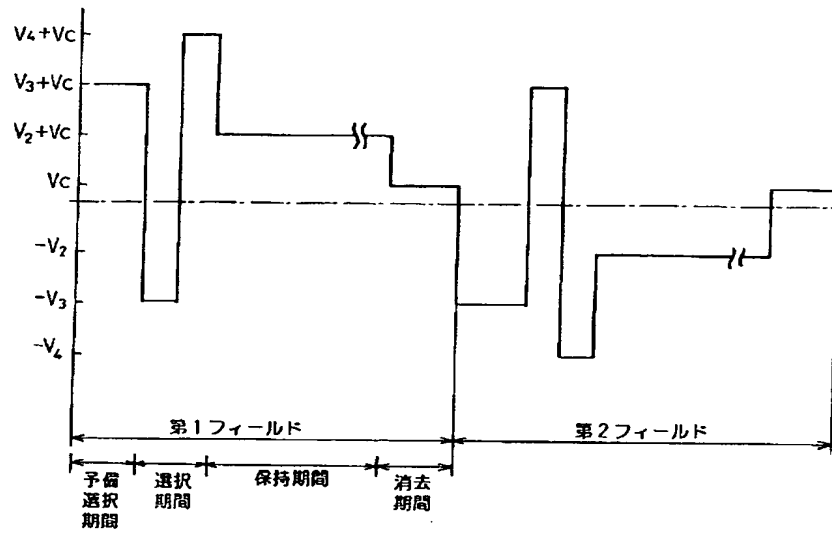
【図 4 3】



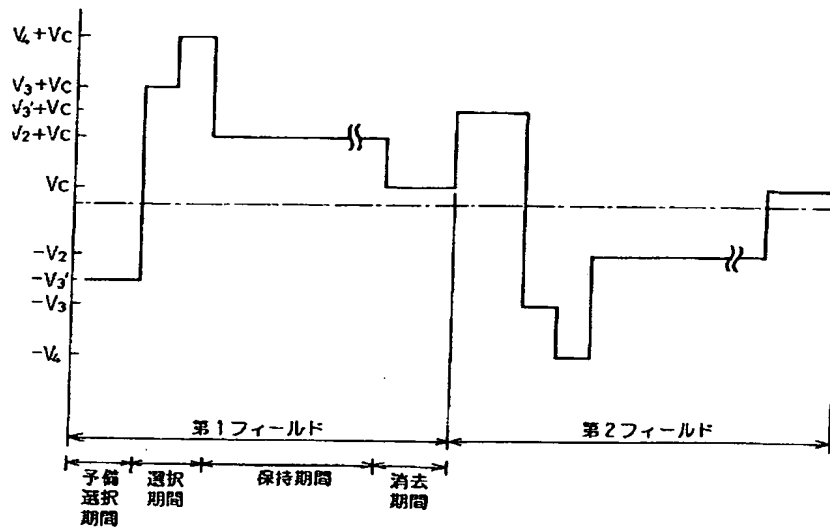
【図 4 4】



【図45】



【図46】



【図48】

表示 フィールド	ON信号	OFF 信号
負フィールド		
正フィールド		

【図49】

表示 フィールド	ON信号	OFF 信号
負フィールド		
正フィールド		

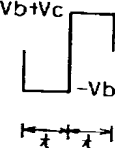
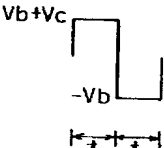
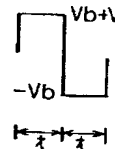
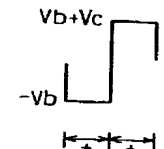
【図50】

表示 フィールド	ON信号	OFF 信号
負フィールド		
正フィールド		

【図51】

表示 フィールド	ON信号	OFF 信号
正フィールド		
負フィールド		

【図5 2】

表示 フィールド	ON信号	OFF 信号
正 フ ィ ー ル ド		
負 フ ィ ー ル ド		

フロントページの続き

(72)発明者 小勝負 信明

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.